

---

# Integração de ramais analógicos com FPGA para processamento de áudio utilizando softcores

Renan Rodolfo da Silva

Engenharia de Telecomunicações  
Instituto Federal de Santa Catarina  
campus São José  
renan.rs@aluno.ifsc.edu.br

05 de abril de 2022



## 1 Introdução

- Justificativa
- Objetivos

## 2 Proposta do trabalho

## 3 Considerações finais



# Introdução



Ter interfaces FXS integradas à FPGA para permitir experimentações de aplicações na área de telefonia e áudio digital com lógica programável e *softcores*.



- O objetivo deste trabalho é integrar uma placa de ramal da central telefônica Impacta 16 com um *kit* de desenvolvimento FPGA e testar a capacidade de transcodificação de canais de áudio sendo executada em um *softcore*.



## Objetivos específicos

---

- Integrar fisicamente placa de ramal com o *kit* FPGA;
- Projetar e implementar blocos em VHDL independente de plataforma para a interface de controle e dados da placa de ramal;
- Testar a capacidade de transcodificação de canais na plataforma criada.



# Fundamentação Teórica



- Dispositivos lógicos programáveis.
- *Hardware e Software co-design.*
- *Softcore vs. Hardcore.*
- Codec e transcodificação.
- Placa de ramal.





# Placa de Ramal

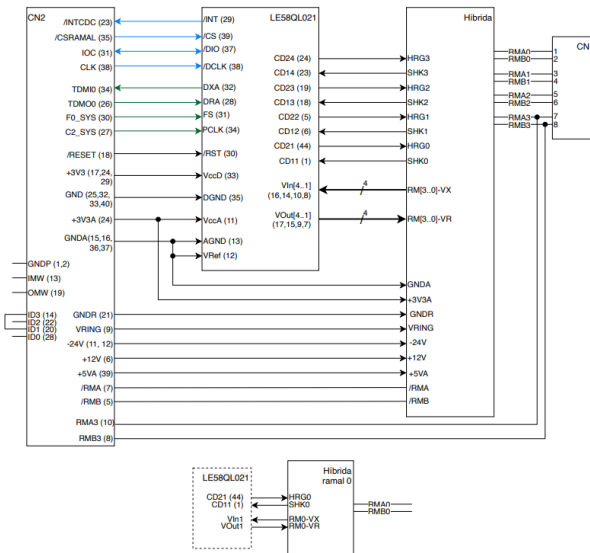


É uma interface FXS utilizada em centrais telefônicas, que possibilita:

- Fornecer alimentação para os aparelhos telefônicos analógicos
- Converter sinais analógicos em digitais em centrais digitais
- Interligar duas centrais analógicas



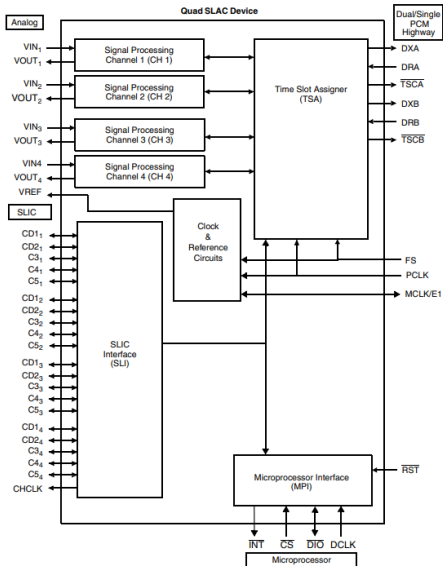
# Diagrama de bloco da placa ramal



Fonte: Própria



# Diagrama de blocos da *codec* LE58QL021BVC



Fonte: (Legerity, 2006)



- Circuito de Interface de Linha de Assinante (SLIC)
  - Utilizada para monitorar ou controlar dispositivos conectados
- Interface do microprocessador (MPI)
  - Responsável pela comunicação, via barramento serial síncrono, com o sistema de controle externo
- Interface PCM
  - Essa interface é responsável por transmitir o áudio digital, no formato PCM, dos quatro ramais multiplexados em um único barramento
- Processamento de sinal
  - o sinal de entrada analógico (VIN) é A/D convertido, filtrado, compactado
- *Clock References*
  - Sincronização do sistema



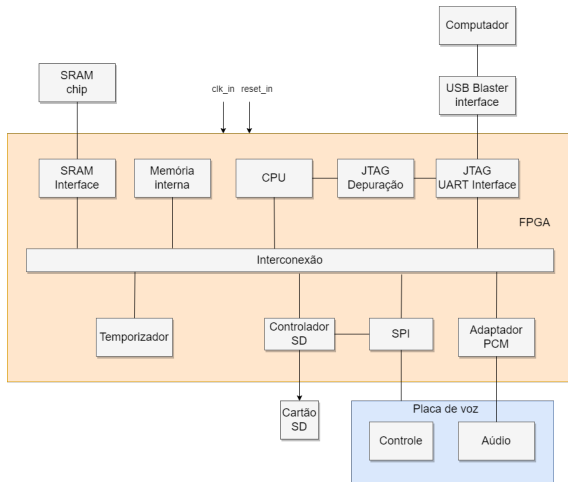
# Proposta do trabalho



A proposta deste trabalho tem por objetivo criar uma estrutura de integração para uma placa ramal utilizada em centrais telefônicas comerciais, além de apresentar o desenvolvimento e implementação de um projeto embarcado utilizando um processador *softcore*. Consiste em fazer a análise de desempenho de um *softcore* no processamento de sinais PCM, mas precisamente na transcodificação de áudio.



# Arquitetura proposta



Fonte: Adaptado de (MOSLEHPOUR; JENAB; SILIVERI, 2013)





# Metodologia



- A1: Projetar e confeccionar uma placa adaptadora para conexão da placa de ramal com o kit de desenvolvimento FPGA. (**FINALIZADO**)
- A2: Projetar e implementar blocos em VHDL para a interface de controle e áudio da placa de ramal. (**PARCIAL**)
- A3: Configurar plataforma com *softcore* para gerenciar o sistema, integrando os blocos criados. (**PARCIAL**)
- A4: Implementar o *software* para controle da placa de ramal.
- A5: Adaptar um algoritmo de transcodificação para os testes.
- A6: Testar a capacidade de transcodificação de canais na plataforma criada.
- A7: Documentar resultados e finalizar escrita do TCC.



# Cronograma

---

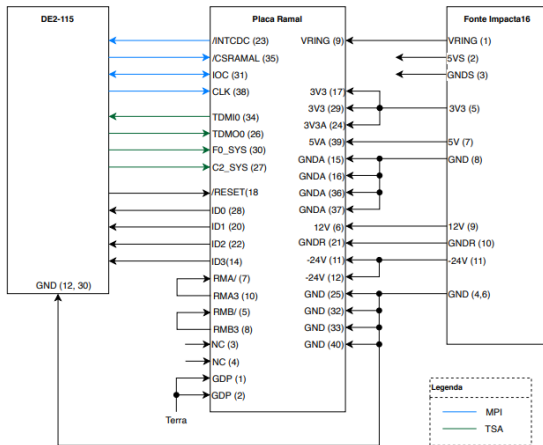
Atividades	Mês					
	Abr	Mai	Jun	Jul	Ago	Set
A1	✓					
A2	✓	✓				
A3		✓	✓			
A4			✓	✓		
A5				✓	✓	
A6					✓	✓
A7	✓	✓	✓	✓	✓	✓



# Andamento



# Etapa A1 - Diagrama da placa interface

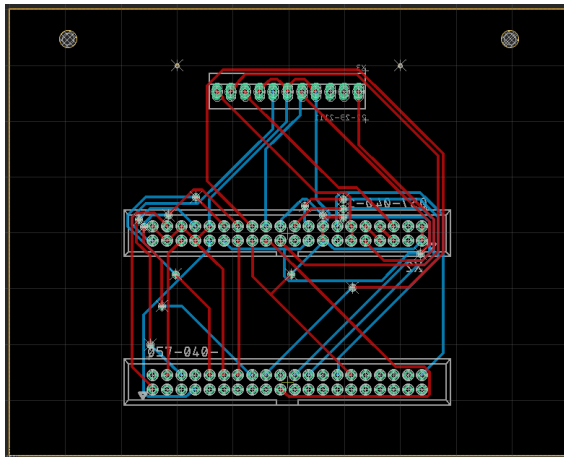


/INTDCD = /INT      TDMIO = DXA  
/CSRAMAL = /CS      TDMO0 = DRA  
IOC = /DIO          F0\_SYS = FS  
CLK = DCLK          C2\_SYS = PCLK

Fonte: Própria



# Etapa A1 - PCB

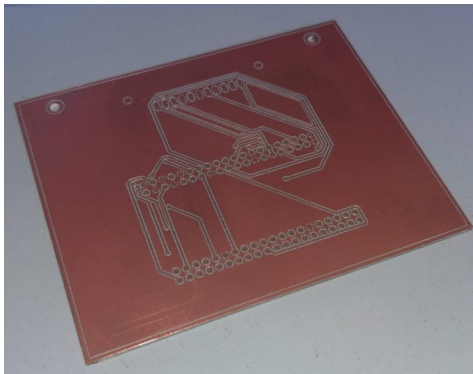


Fonte: Própria



# Etapa A1 - Placa de Circuito Impressa

---

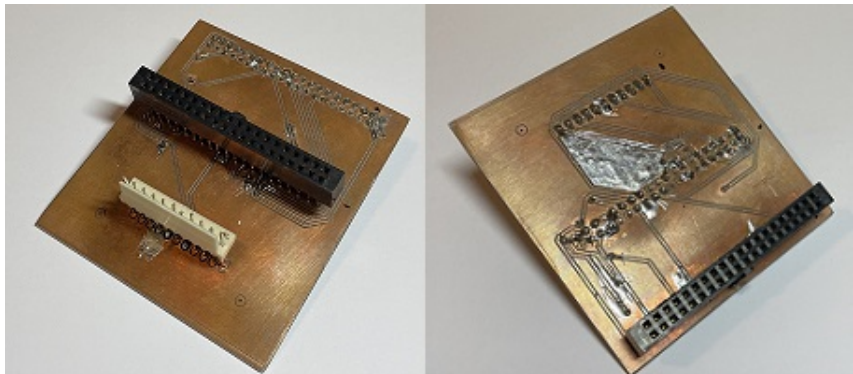


Fonte: Própria



## Etapa A1 - Placa montada

---

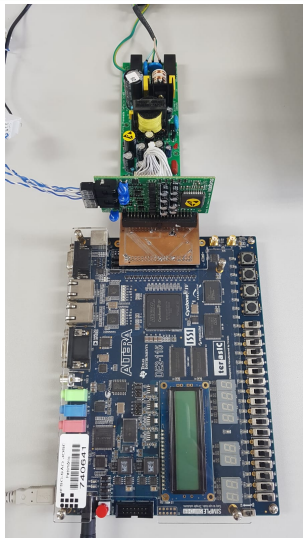


Fonte: Própria






## Etapa A1, A2 e A3 - Comunicação com a placa de interface




Fonte: Própria



 Legerity. *Le58QL02/021/031 Quad Low Voltage Subscriber Line Audio-Processing Circuit VE580 Series*. 2006. Disponível em:

<<https://datasheetspdf.com/pdf-file/830493/Legerity/Le58QL02/1>>. 12

 MOSLEHPOUR, S.; JENAB, K.; SILIVERI, E. Design and implementation of nios ii system for audio application. *International Journal of Engineering and Technology*, IACSIT Press, v. 5, n. 5, p. 627, 2013.

16

