Microprocessadores

Organização de Memória

Prof. Clayrton Henrique

rev. 01 | fev. 2016

Roteiro

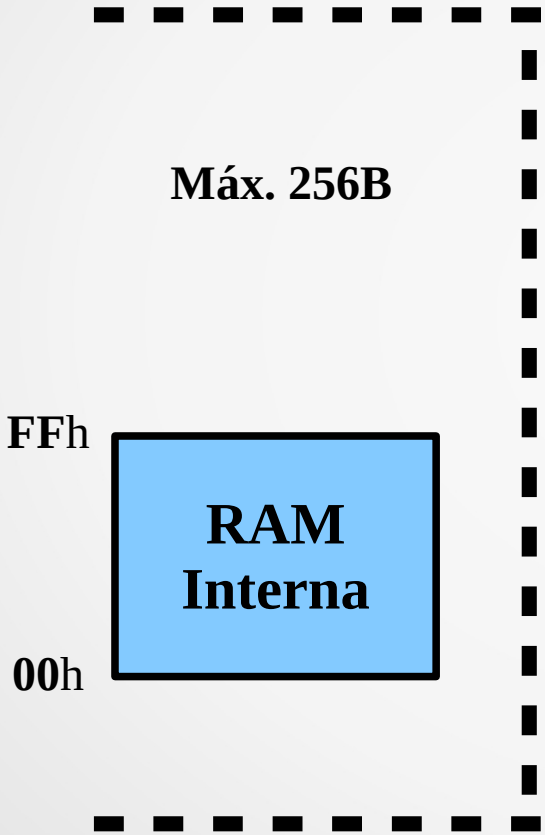
- Introdução;
- RAM Interna;
- Parte de Dados;
- Parte de SFR;
- Registradores;
- Assembly;
- Referências...

Introdução

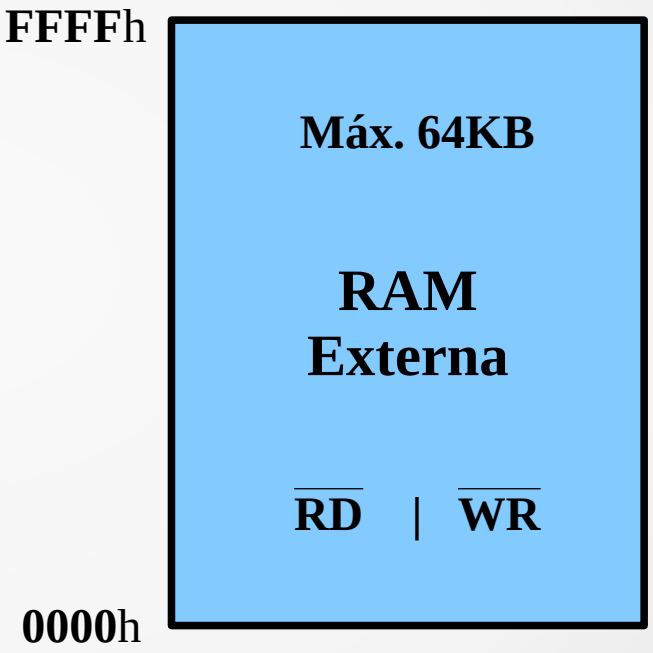
RAM - 8051

Esse microcontrolador tem um espaço separado para memória de programas (ROM) e para memória de dados (RAM). Existe memória RAM interna, podendo ainda gerenciar RAM externa. Vide figura a seguir:

Memória RAM

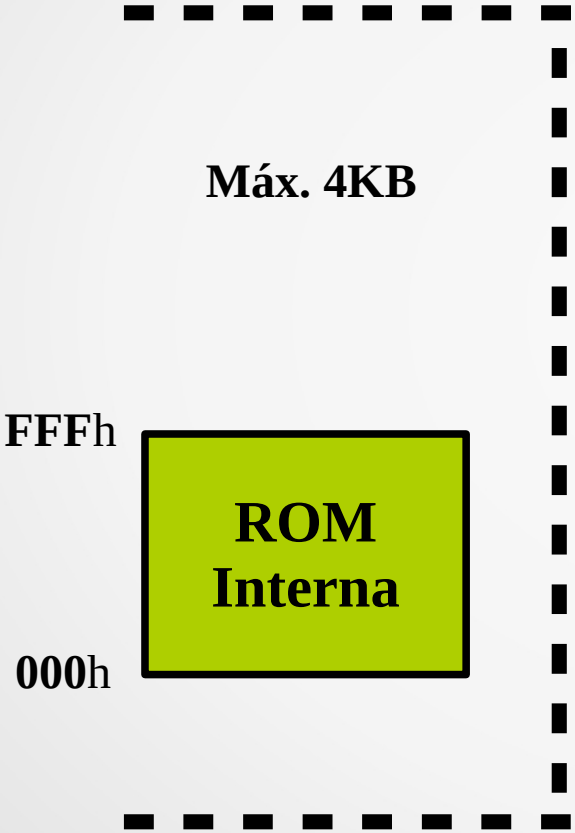


Instrução de acesso: ***MOV***

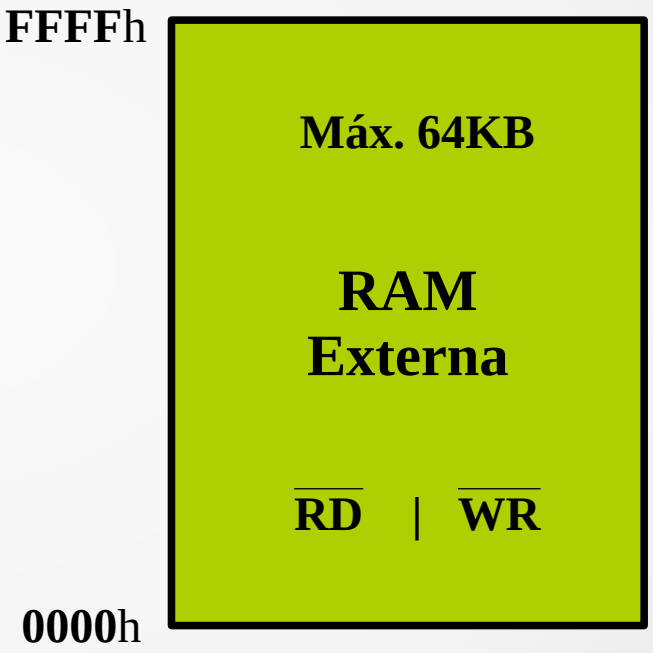


Instrução de Acesso: ***MOVX***

Memória ROM



Instrução de acesso: ***MOVC***



Instrução de Acesso: ***MOVC***

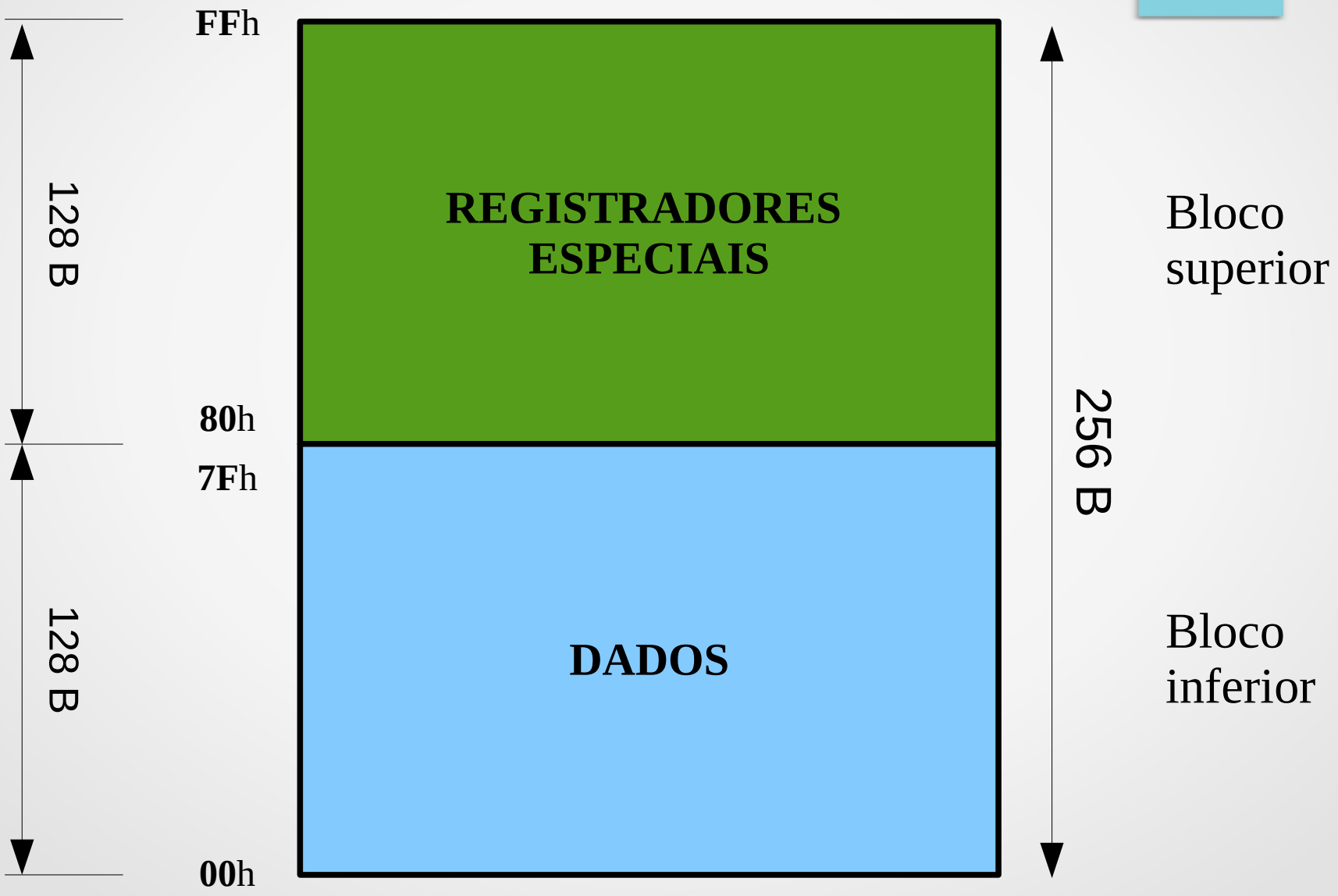
RAM Interna

RAM - 8051

*É um espaço **total** de 256 bytes, o qual se divide em:*

- *Parte de dados – 128B;*
- *Parte de Registradores (funções especiais) – 128B;*

RAM Interna


FFh
80h
7Fh
00h
128 B
128 B
REGISTRADORES ESPECIAIS
DADOS
256 B
Bloco superior
Bloco inferior

RAM Interna

RAM – dados

Bloco inferior:

2Fh	7F	7E	7D	7C	7B	7A	79	78
2Eh	77	76	75	74	73	72	71	70
2Dh	6F	6E	6D	6C	6B	6A	69	68
2Ch	67	66	65	64	63	62	61	60
2Bh	5F	5E	5D	5C	5B	5A	59	58
2Ah	57	56	55	54	53	52	51	50
29h	4F	4E	4D	4C	4B	4A	49	48
28h	47	46	45	44	43	42	41	40
27h	3F	3E	3D	3C	3B	3A	39	38
26h	37	36	35	34	33	32	31	30
25h	2F	2E	2D	2C	2B	2A	29	28
24h	27	26	25	24	23	22	21	20
23h	1F	1E	1D	1C	1B	1A	19	18
22h	17	16	15	14	13	12	11	10
21h	0F	0E	0D	0C	0B	0A	09	08
20h	07	06	05	04	03	02	01	00
18h ~ 1Fh	Banco 3 (R_0 a R_7)							
1Fh ~ 17h	Banco 2 (R_0 a R_7)							
08h ~ 0Fh	Banco 1 (R_0 a R_7)							
00h ~ 07h	Banco 0 (R_0 a R_7)							

16 bytes

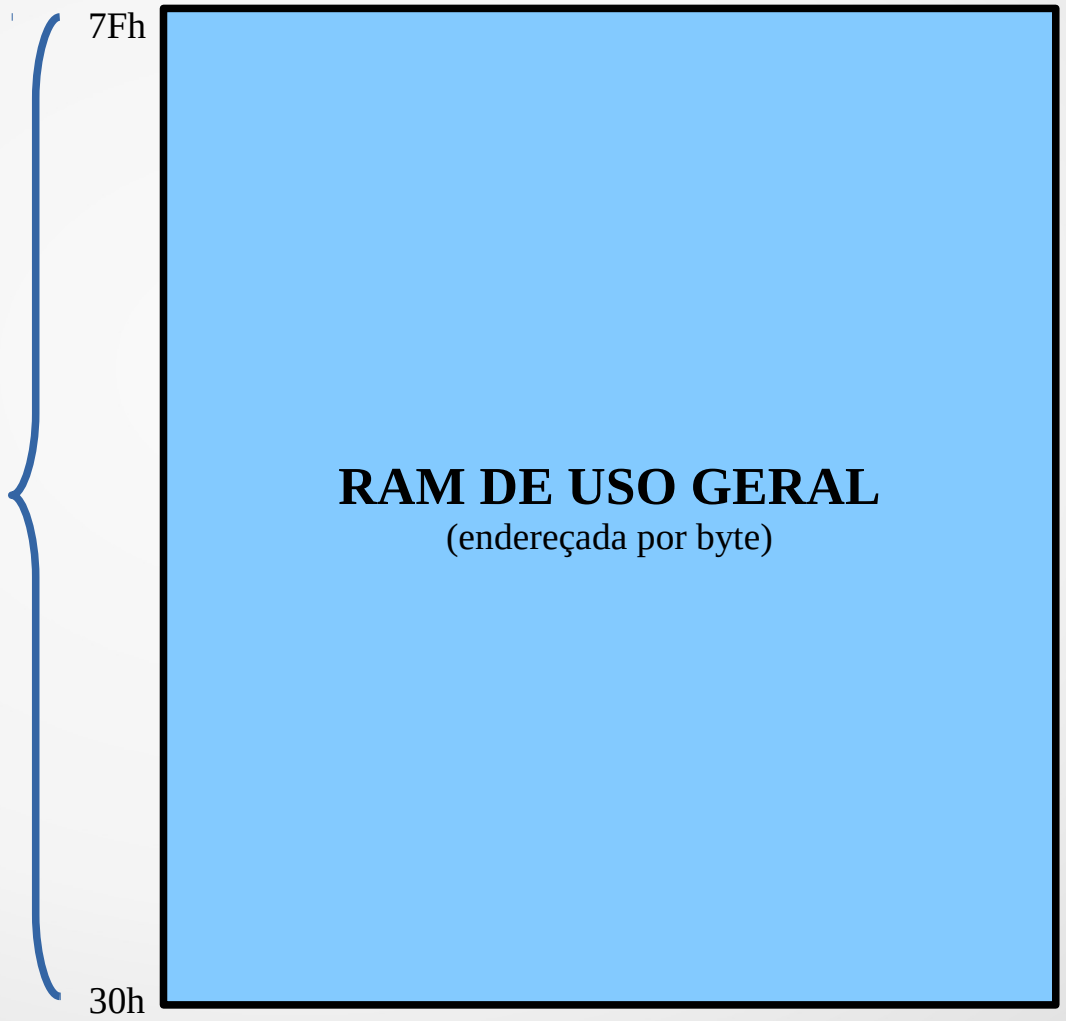
32 bytes

RAM Interna

RAM – dados

Bloco inferior:

80 bytes



RAM Interna

RAM – SFR

Bloco superior:

99h	Bits não endereçáveis								**SBUF**
98h	9F	9E	9D	9C	9B	9A	99	98	**SCON**
90h	97	96	95	94	93	92	91	90	**P1**
8Dh	Bits não endereçáveis								**TH1**
8Ch	Bits não endereçáveis								**TH0**
8Bh	Bits não endereçáveis								**TL1**
8Ah	Bits não endereçáveis								**TL0**
89h	Bits não endereçáveis								**TMOD**
88h	8F	8E	8D	8C	8B	8A	89	88	**TCON**
87h	Bits não endereçáveis								**PCON**
83h	Bits não endereçáveis								**DPH**
82h	Bits não endereçáveis								**DPL**
81h	Bits não endereçáveis								**SP**
80h	87	86	85	84	83	82	81	80	**P0**

RAM Interna

RAM – SFR

Bloco superior:

FFh									
F0h	F7	F6	F5	F4	F3	F2	F1	F0	**B**
E0h	E7	E6	E5	E4	E3	E2	E1	E0	**A**
D0h	D7	D6	D5	D4	D3	D2	D1	D0	**PSW**
B8h	-	-	-	BC	BB	BA	B9	B8	**IP**
B0h	B7	B6	B5	B4	B3	B2	B1	B0	**P3**
A8h	AF	-	-	AC	AB	AA	A9	A8	**IE**
A0h	A7	A6	A5	A4	A3	A2	A1	A0	**P2**

RAM Interna

Registradores

Acumulador (A | ACC): registrador de oito bits endereçável por byte ou por bit, utilizado como operando em várias instruções do MC. Pode ser usado como registrador geral onde o resultado de várias operações realizadas são gravadas nele após a conclusão da operação com operandos.

RAM Interna

Registradores

Acumulador

ADD A, R0 soma o conteúdo de R0 ao conteúdo do acumulador, o resultado será armazenado no acumulador.

ANL A, #dado realiza operação AND entre o valor #dado e o acumulador, o resultado fica armazenado no acumulador.

RAM Interna

Acumulador (A)

A	E7h	E6h	E5h	E4h	E3h	E2h	E1h	E0h

CLR A

A	0	0	0	0	0	0	0	0

CLR @0E0h

A	E7h	E6h	E5h	E4h	E3h	E2h	0	E0h

RAM Interna

Registradores Ports

São registradores que espelham a situação atual dos pinos físicos dos *ports* do microcontrolador.

P0	87h	86h	85h	84h	83h	82h	81h	80h

CLR @82h

CLR P0.2

RAM Interna

Registradores Ports

A P1 é a única porta do 8051 que se destina a uso de I/O em geral, pois não possui funções reservadas.

P1	97h	96h	95h	94h	93h	92h	91h	90h

MOV P1, #00h

MOV A, P1

RAM Interna

Registradores Ports

A P2 é utilizada para endereçamento de memória externa (MSB).

P2	A7h	A6h	A5h	A4h	A3h	A2h	A1h	A0h

MOV P2, #08

SETB P2.0

RAM Interna

Registradores Ports

A P3 tem diversos recursos internos.

P3	B7h	B6h	B5h	B4h	B3h	B2h	B1h	B0h

MOV A, P3

SWAP A

RAM Interna

Registradores

Registrador (B): registrador de oito bits endereçável por byte ou por bit, com uso específico em alguns comandos.

B	F7h	F6h	F5h	F4h	F3h	F2h	F1h	F0h

MUL AB

DIV AB

RAM Interna

Registradores

PSW (Program Status Word): Registrador de status da última operação realizada no Acumulador.

PSW	D7h	D6h	D5h	D4h	D3h	D2h	D1h	D0h
	CY	AC	F0	RS1	RS0	0V		P

RAM Interna

Registradores

PSW.7 (C): Transporte acima da quantidade de bits.

MOV A, #FFh

ADD A, #01h

RAM Interna

Registradores

PSW.6 (AC): Transporte acima da quantidade de bits entre os nibbles do ACC.

MOV A, #0Fh

ADD A, #01h

RAM Interna

Registradores

PSW.5 (Flag 0): Flag de uso geral. “Ele sobrou”.

ORL C, AC

MOV F0, C

RAM Interna

Registradores

PSW.4 / PSW.3 (RS1 e RS0): São dois bits que fazem mudar o banco de registradores gerais (R0 ~R7).

MOV R0, #0FFh

RAM Interna

Registradores

PSW.4 / PSW.3 (RS1 e RS0):

MOV R0, #0FFh

RS1	RS0		
1	1	→ 18h ~ 1Fh	Banco 3 (R_0 a R_7)
1	0	→ 1Fh ~ 17h	Banco 2 (R_0 a R_7)
0	1	→ 08h ~ 0Fh	Banco 1 (R_0 a R_7)
0	0	→ 00h ~ 07h	Banco 0 (R_0 a R_7)

RAM Interna

Registradores

MOV R0, #0FAh

SETB PSW.3

MOV R0, #0FBh

SETB PSW.4

MOV R0, #0FCh

MOV R0, #0FDh

RAM Interna

Registradores

PSW.2 (OV): Toda vez que ocorrer “estouro” de operação acima +127 ou menor que -127.

MOV A, #0Fh

ADD A, #7Fh

RAM Interna

Registradores

PSW.1 (D1h): Não acessível ao usuário.

PSW.0 (P): bit setado quando a paridade do ACC é impar.

MOV A, #1Fh P = 0

MOV A, #1Eh P = 1

Descrição Técnica

UFSC. **A família de microcontroladores 8051.** Notas de aula. disponível em: <http://user.das.ufsc.br/~werner/eel7030/8051/Apostila8051Hari.pdf> acesso: fev/16

NICOLOSI, D. E. C. **Microcontrolador 8051 detalhado.** 8 Ed. São Paulo: Érica, 2007.

FERLIN, E. P. **Apostila 8051 - Manual**. Curitiba: 2004. Dispoível em: <files.professorferlin.webnode.com.br/200000338.../apostila%208051.pdf> Acesso Fev/2016.