

UTFPR - DAELN - Microcontroladores 1 - Prof. Cion (cion@utfpr.edu.br)
Conjunto de Instruções do 8051 - versão fev/2013

Instruções de Movimento de Dados				
Instrução	Operando	Operação	bytes	ciclos
MOV	A,Rn	$A \leftarrow Rn$	1	1
MOV	A,direto	$A \leftarrow M[\text{direto}]$	2	1
MOV	A,@Ri	$A \leftarrow M[Ri]$	1	1
MOV	A,#const	$A \leftarrow \text{const}$	2	1
MOV	Rn,A	$Rn \leftarrow A$	1	1
MOV	Rn,direto	$Rn \leftarrow M[\text{direto}]$	2	2
MOV	Rn,#const	$Rn \leftarrow \text{const}$	2	1
MOV	direto,A	$M[\text{direto}] \leftarrow A$	2	1
MOV	direto,Rn	$M[\text{direto}] \leftarrow Rn$	2	2
MOV	direto,direto	$M[\text{direto}] \leftarrow M[\text{direto}]$	3	2
MOV	direto,@Ri	$M[\text{direto}] \leftarrow M[Ri]$	2	2
MOV	direto,#const	$M[\text{direto}] \leftarrow \text{const}$	3	2
MOV	@Ri,A	$M[Ri] \leftarrow A$	1	1
MOV	@Ri,direto	$M[Ri] \leftarrow M[\text{direto}]$	2	2
MOV	@Ri,#const	$M[Ri] \leftarrow \text{const}$	2	1
MOV	DPTR,#const16	$DPTR \leftarrow \text{const16}$	3	2
MOVC	A,@A+DPTR	$A \leftarrow CM[A + DPTR]$	1	2
MOVC	A,@A+PC	$A \leftarrow CM[A + PC]$	1	2
MOVB	A,@Ri	$A \leftarrow XM[Ri]$	1	2
MOVB	A,DPTR	$A \leftarrow XM[DPTR]$	1	2
MOVB	@Ri,A	$XM[Ri] \leftarrow A$	1	2
MOVB	@DPTR,A	$XM[DPTR] \leftarrow A$	1	2
PUSH	direto	$SP \leftarrow SP + 1; M[SP] \leftarrow M[\text{direto}]$	2	2
POP	direto	$M[\text{direto}] \leftarrow M[SP]; SP \leftarrow SP - 1$	2	2
XCH	A,Rn	$A \leftrightarrow Rn$ /*permuta bytes */	1	1
XCH	A,direto	$A \leftrightarrow M[\text{direto}]$	2	1
XCH	A,@Ri	$A \leftrightarrow M[Ri]$	1	1
XCHD	A,@Ri	$A_{nls} \leftrightarrow M[Ri]_{nls} \text{ /* } A_4 \leftrightarrow M[Ri]_4, \dots, A_0 \leftrightarrow M[Ri]_0 \text{ */}$	1	1
Instruções de Aritméticas				
Instrução	Operando	Operação	bytes	ciclos
ADD	A,Rn	$A \leftarrow A + Rn$	1	1
ADD	A,direto	$A \leftarrow A + M[\text{direto}]$	2	1
ADD	A,@Ri	$A \leftarrow A + M[Ri]$	1	1
ADD	A,#const	$A \leftarrow A + \text{const}$	2	1
ADDC	A,Rn	$A \leftarrow A + Rn + C$	1	1
ADDC	A,direto	$A \leftarrow A + M[\text{direto}] + C$	2	1
ADDC	A,@Ri	$A \leftarrow A + M[Ri] + C$	1	1
ADDC	A,#const	$A \leftarrow A + \text{const} + C$	2	1
SUBB	A,Rn	$A \leftarrow A - Rn - C$	1	1
SUBB	A,direto	$A \leftarrow A - M[\text{direto}] - C$	2	1
SUBB	A,@Ri	$A \leftarrow A - M[Ri] - C$	1	1
SUBB	A,#const	$A \leftarrow A - \text{const} - C$	2	1
INC	A	$A \leftarrow A + 1$	1	1
INC	Rn	$Rn \leftarrow Rn + 1$	1	1
INC	direto	$M[\text{direto}] \leftarrow M[\text{direto}] + 1$	2	1
INC	@Ri	$M[Ri] \leftarrow M[Ri] + 1$	1	1
DEC	A	$A \leftarrow A - 1$	1	1
DEC	Rn	$Rn \leftarrow Rn - 1$	1	1
DEC	direto	$M[\text{direto}] \leftarrow M[\text{direto}] - 1$	2	1
DEC	@Ri	$M[Ri] \leftarrow M[Ri] - 1$	1	1
INC	DPTR	$DPTR \leftarrow DPTR + 1$	1	2
MUL	AB	$A \leftarrow (A*B)_{LSB}$ e $B \leftarrow (A*B)_{MSB}$	1	4

DIV	AB	$A \leftarrow \text{quociente}(A/B) \text{ e } B \leftarrow \text{resto}(A/B)$	1	4
DA	A	Ajuste Decimal do Acumulador	1	1
Instruções Lógicas e de Rotação				
Instrução	Operando	Operação	bytes	ciclos
ANL	A,Rn	$A \leftarrow A \wedge Rn$	1	1
ANL	A,direto	$A \leftarrow A \wedge M[\text{direto}]$	2	1
ANL	A,@Ri	$A \leftarrow A \wedge M[Ri]$	1	1
ANL	A,#const	$A \leftarrow A \wedge \text{const}$	2	1
ANL	direto,A	$M[\text{direto}] \leftarrow M[\text{direto}] \wedge A$	2	1
ANL	direto,#const	$M[\text{direto}] \leftarrow M[\text{direto}] \wedge \text{const}$	3	2
ORL	A,Rn	$A \leftarrow A \vee Rn$	1	1
ORL	A,direto	$A \leftarrow A \vee M[\text{direto}]$	2	1
ORL	A,@Ri	$A \leftarrow A \vee M[Ri]$	1	1
ORL	A,#const	$A \leftarrow A \vee \text{const}$	2	1
ORL	direto,A	$M[\text{direto}] \leftarrow M[\text{direto}] \vee A$	2	1
ORL	direto,#const	$M[\text{direto}] \leftarrow M[\text{direto}] \vee \text{const}$	3	2
XRL	A,Rn	$A \leftarrow A \oplus Rn$	1	1
XRL	A,direto	$A \leftarrow A \oplus M[\text{direto}]$	2	1
XRL	A,@Ri	$A \leftarrow A \oplus M[Ri]$	1	1
XRL	A,#const	$A \leftarrow A \oplus \text{const}$	2	1
XRL	direto,A	$M[\text{direto}] \leftarrow M[\text{direto}] \oplus A$	2	1
XRL	direto,#const	$M[\text{direto}] \leftarrow M[\text{direto}] \oplus \text{const}$	3	2
CLR	A	$A \leftarrow 0$	1	1
CPL	A	$A \leftarrow /A$	1	1
RL	A	$A(\leftarrow b7 \leftarrow b6 \leftarrow b5 \leftarrow b4 \leftarrow b3 \leftarrow b2 \leftarrow b1 \leftarrow b0 \leftarrow)$	1	1
RLC	A	$A(\leftarrow C \leftarrow b7 \leftarrow b6 \leftarrow b5 \leftarrow b4 \leftarrow b3 \leftarrow b2 \leftarrow b1 \leftarrow b0 \leftarrow)$	1	1
RR	A	$A(\rightarrow b7 \rightarrow b6 \rightarrow b5 \rightarrow b4 \rightarrow b3 \rightarrow b2 \rightarrow b1 \rightarrow b0 \rightarrow)$	1	1
RRC	A	$A(\rightarrow b7 \rightarrow b6 \rightarrow b5 \rightarrow b4 \rightarrow b3 \rightarrow b2 \rightarrow b1 \rightarrow b0 \rightarrow C \rightarrow)$	1	1
SWAP	A	$A_{nms} \leftrightarrow A_{nls} / * A_7 \leftrightarrow A_3, \dots, A_4 \leftrightarrow A_0 *$	1	1
Instruções Booleanas				
Instrução	Operando	Operação	bytes	ciclos
CLR	C	$C \leftarrow 0$	1	1
CLR	bit	$BM[\text{bit}] \leftarrow 0$	2	1
SETB	C	$C \leftarrow 1$	1	1
SETB	bit	$BM[\text{bit}] \leftarrow 1$	2	1
CPL	C	$C \leftarrow /C$	1	1
CPL	bit	$BM[\text{bit}] \leftarrow /BM[\text{bit}]$	2	1
ANL	C,bit	$C \leftarrow C \wedge BM[\text{bit}]$	2	2
ANL	C,/bit	$C \leftarrow C \wedge /BM[\text{bit}]$	2	2
ORL	C,bit	$C \leftarrow C \vee BM[\text{bit}]$	2	2
ORL	C,/bit	$C \leftarrow C \vee /BM[\text{bit}]$	2	2
MOV	C,bit	$C \leftarrow BM[\text{bit}]$	2	1
MOV	bit,C	$BM[\text{bit}] \leftarrow C$	2	2
JC	rel	Se $(C == 1)$ $PC \leftarrow PC \pm \text{rel}$ Senão $PC \leftarrow PC + 2$	2	2
JNC	rel	Se $(C == 0)$ $PC \leftarrow PC \pm \text{rel}$ Senão $PC \leftarrow PC + 2$	2	2
JB	bit,rel	Se $(BM[\text{bit}] == 1)$ $PC \leftarrow PC \pm \text{rel}$ Senão $PC \leftarrow PC + 2$	3	2
JNB	bit,rel	Se $(BM[\text{bit}] == 0)$ $PC \leftarrow PC \pm \text{rel}$ Senão $PC \leftarrow PC + 2$	3	2
JBC	bit,rel	Se $(BM[\text{bit}] == 1)$ $\{BM[\text{bit}] \leftarrow 0; PC \leftarrow PC \pm \text{rel}$ Senão $PC \leftarrow PC + 2\}$	3	2

Instruções de Desvio				
Instrução	Operando	Operação	bytes	ciclos
ACALL	end16	$SP \leftarrow SP + 1; M[SP] \leftarrow PC_{lsb}; SP \leftarrow SP + 1; M[SP] \leftarrow PC_{msb}; PC \leftarrow end11$	2	2
LCALL	end16	$SP \leftarrow SP + 1; M[SP] \leftarrow PC_{lsb}; SP \leftarrow SP + 1; M[SP] \leftarrow PC_{msb}; PC \leftarrow end16$	3	2
RET		$PC_{msb} \leftarrow M[SP]; SP \leftarrow SP - 1; PC_{lsb} \leftarrow M[SP]; SP \leftarrow SP - 1$	1	2
RETI		$PC_{msb} \leftarrow M[SP]; SP \leftarrow SP - 1; PC_{lsb} \leftarrow M[SP]; SP \leftarrow SP - 1$	1	2
AJMP	end11	$PC \leftarrow end11$	2	2
LJMP	end16	$PC \leftarrow end16$	3	2
SJMP	rel	$PC \leftarrow PC \pm rel$	2	2
JMP	@A+DPTR	$PC \leftarrow A + DPTR$	1	2
JZ	rel	Se $(A == 0) PC \leftarrow PC \pm rel$ Senão $PC \leftarrow PC + 2$	2	2
JNZ	rel	Se $(A != 0) PC \leftarrow PC \pm rel$ Senão $PC \leftarrow PC + 2$	2	2
CJNE	A,direto,rel	Se $(A != M[direto]) PC \leftarrow PC \pm rel$ Senão $PC \leftarrow PC + 3$ Se $(A < M[direto]) C \leftarrow 1$ Senão $C \leftarrow 0$	3	2
CJNE	A,#const,rel	Se $(A != const) PC \leftarrow PC \pm rel$ Senão $PC \leftarrow PC + 3$ Se $(A < const) C \leftarrow 1$ Senão $C \leftarrow 0$	3	2
CJNE	Rn,#const,rel	Se $(Rn != const) PC \leftarrow PC \pm rel$ Senão $PC \leftarrow PC + 3$ Se $(Rn < const) C \leftarrow 1$ Senão $C \leftarrow 0$	3	2
CJNE	@Ri,#const,rel	Se $(M[Ri] != const) PC \leftarrow PC \pm rel$ Senão $PC \leftarrow PC + 3$ Se $(M[Ri] < const) C \leftarrow 1$ Senão $C \leftarrow 0$	3	2
DJNZ	Rn,rel	$Rn \leftarrow Rn - 1; Se (Rn != 0) PC \leftarrow PC \pm rel$ Senão $PC \leftarrow PC + 2$	2	2
DJNZ	direto,rel	$M[direto] \leftarrow M[direto] - 1; Se (M[direto] != 0) PC \leftarrow PC \pm rel$ Senão $PC \leftarrow PC + 2$	3	2
NOP		/* Sem operação */	1	1

Notação	Descrição
Rn	$Rn = \{R0, R1, R2, R3, R4, R5, R6, R7\}$ do banco de registradores selecionado
direto	Endereço de 8 bits da IRAM - direto=00..0FFH (00 .. 7FH \Rightarrow área de uso geral e 80H a 0FFH \Rightarrow área dos SRF)
@Ri	Define de forma indireta um endereço da RAM interna. Ri é o registrador R0 ou o registrador R1 ($Ri = \{R0, R1\}$)
#const	Constante de 8 bits (0 a 255 ou de 0 a 0FFH)
#const16	Constante de 16 bits (0 a 65535 ou 0000 a 0FFFFH)
end16	Endereço de 16 bits
end11	Endereço de 11 bits
rel	Endereço relativo de 8 bits (varia de -128 a +127)
bit	Endereço direto do bit (RAM bit endereçável ou registrador bit endereçável)
M	Memória IRAM – $M[00]..M[0FFH]$ – memória RAM interna
XM	Memória RAM externa
CM	Memória de Código (ou memória de programa)
BM	Memória IRAM bit endereçável (00 a 7FH) ou registradores bit endereçáveis
\leftarrow	Atribuição
+	Soma
-	Subtração
*	Multiplicação
/	Divisão (ou Inversão lógica)
\wedge	Operação lógica E
\vee	Operação lógica OU

\oplus	Operação lógica OU Exclusivo
/	Inversão lógica (ou divisão aritmética)
\leftrightarrow	Permuta
nls	Nibble menos significativo (b3,b2,b1,b0)
nms	Nibble mais significativo (b7,b6,b5,b4)