Implementação do IEEE 1588v2 na Sincronização de hardware

RESUMO EXPANDIDO - Disciplina de TCC290009

Mário Allan Lehmkuhl de Abreu

Estudante do Curso de Engenharia de Telecomunicações

Roberto de Matos

Professor orientador

Semestre 2019-2

Resumo- *O tempo é um elemento essencial em uma rede de pacotes, utilizado na sincronização dos relógios dos componentes conectados através de protocolos de sincronização de tempo. Em redes industriais, para garantir a comunicação precisa entre computadores, sensores, FPGAs, etc, o sincronismo exige valores de nanossegundos (NEWS, 2014),(PEDRETTI et al., 2019). Nesse contexto, a mais recente tecnologia de temporização baseada em pacotes é o protocolo de tempo de precisão (PTP) especificado no padrão IEEE 1588v2. Projetado para automação industrial, fornece o mais alto nível de precisão de frequência, fase e hora do dia. Supera os problemas de latência e atraso fornecendo uma precisão em nanossegundos. Através de uma técnica onde o mestre e o escravo se conversam para eliminar um atraso medido entre os dois nós, os efeitos da latência da rede são reduzidos (SAMBERG, 2017). O PTP é bastante utilizado em redes de controle e medição industrial (QI et al., 2011), pois os mecanismos necessários podem ser implementados com o uso mínimo de hardware (KYRIAKAKIS et al., 2018). Um hardware que se tornou comum na industria é o FPGA (Field Programmable Gate Array), um dispositivo lógico programável que suporta a implementação de circuitos digitais. Atuando em setores que depende de desempenho, paralelismo e tempo real. Por ser hardware, N cálculos podem estar rodando em paralelo e entregando o resultado no mesmo pulso de clock, algo impossível para um software (PRADO, 2014). Assim este trabalho propõe implementar o protocolo PTP em duas placas FPGA (mestre e escravo) que se comunicam entre si, para demonstrar a sincronização do relógio do FPGA escravo com uma precisão de nanossegundos.*

Palavras-chave: Sincronização em Hardware. PTP. IEEE-1588v2. FPGA. Protocolo de sicronização de tempo.

1 Introdução

Em uma rede de comunicação de pacotes o tempo é um elemento essencial utilizado principalmente na sincronização precisa dos relógios dos componentes conectados através de protocolos de sincronização de tempo. Em redes comerciais e domésticas por não depender de alta precisão, o tempo de sincronismo dos relógios entre a comunicação de computadores e servidores atinge valores de milissegundos. Entretanto em redes industriais, devido a alta precisão de sincronismo, para garantir o acesso rápido e preciso das informações entre computadores, sensores, FPGAs, entre outros componentes, a resolução de tempo, exige valores de micro à nanossegundos. Uma métrica fundamental que contribui para manter o valor do tempo preciso é a frequência. Na teoria, um relógio sempre levará a mesma quantidade de ciclos para representar um segundo. Porém na prática, os relógios localizados nos elementos de rede não são perfeitos. Sua precisão varia de acordo com os padrões de fabricação e temperatura. Assim com o uso contínuo desses equipamentos, seus relógios começam a perder o sincronismo. Essa alteração ocorre devido há mudança de frequência. Portanto, para garantir a sincronização dos relógios, um protocolo de sincronização de tempo deve funcionar para manter o tempo e a frequência estáveis por longos períodos (NEWS, 2014). Nesse contexto o Protocolo de tempo de precisão (PTP) especificado no padrão IEEE 1588v2 é a mais recente tecnologia de temporização baseada em pacotes. Ele registra mensagens de data / hora com precisão na camada física, aproveitando os circuitos de hardware (QI et al., 2011). Projetado para aplicações críticas de automação industrial, fornece o mais alto nível de precisão de frequência, fase e hora do dia. Entregando uma precisão na faixa de nanossegundos, o PTP elimina os problemas de latência e atraso, a partir de uma técnica onde o mestre e o escravo se conversam para eliminar um atraso medido entre os dois nós, reduzindo os efeitos da latência da rede (SAMBERG, 2017), (PEDRETTI et al., 2019). É bastante utilizado em redes de controle e medição industrial (QI et al., 2011), pois os mecanismos necessários podem ser implementados com o uso mínimo de hardware (KYRIAKAKIS et al., 2018). Nesse cenário, um hardware que se tornou comum na industria é o FPGA (Field Programmable Gate Array), um dispositivo lógico programável que suporta a implementação de circuitos digitais. Atuando em setores que depende de desempenho, paralelismo e tempo real. Sendo hardware, N cálculos podem estar rodando em paralelo e entregando o resultado no mesmo pulso de clock, algo não realizável por um software (PRADO, 2014). O FPGA permite implementar uma solução de hardware que marca o horário de chegada e partida das mensagens PTP a partir do conjunto FPGA + MAC + PHY. O MAC (Media Access Control) é o endereço físico associado à interface de comunicação que faz a conexão na rede. O PHY representa a camada física (QI et al., 2011). Além disso, um processador embutido Nios II é usado para implementar a função do algoritmo de trajetória de movimento PTP por software (KUNG et al., 2009). Assim o objetivo deste trabalho é implementar o protocolo PTP em duas placas FPGA (mestre e escravo) que se comunicam entre si através do cabo ethernet, para demonstrar a sincronização do relógio do FPGA escravo com uma precisão de nanossegundos.

2 Metodologia

O projeto será dividido em quatro etapas que se inicia em: análise dos requisitos do PTP, análise dos requisitos do FPGA, implementação do cenário com PTP e o FPGA, simulação e demonstração prática.

2.1 Análise dos requisitos do PTP

Nessa etapa é realizada o estudo detalhado sobre o protocolo de tempo de precisão (PTP) especificado no padrão IEEE 1588v2 para entender seu funcionamento e implementação em um hardware do tipo FPGA.

2.2 Análise dos requisitos do FPGA

Aqui será feita a análise dos requisitos e configurações do FPGA escolhido, como o uso do processador NIOS, da interface de rede, entre outros componentes para implementar o PTP.

2.3 Implementação do cenário com PTP e o FPGA

Após o estudo e análise dos requisitos do PTP e do FPGA, nessa etapa é implementado o cenário das duas placas FPGA, master e slave, configuradas com o processador NIOS, com o PTP e conectadas por um cabo ethernet permitido a troca de informações entre a camada física e de enlace de cada FPGA (Figura 1).

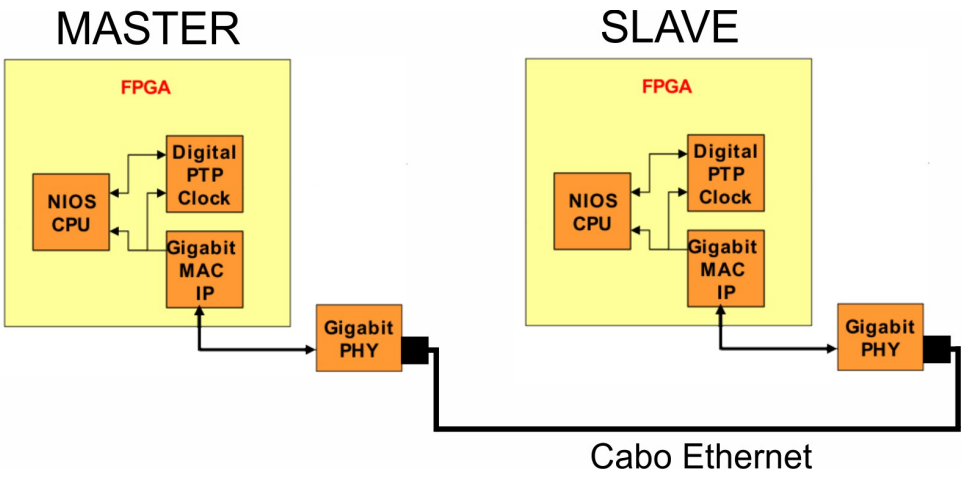

Figura 1 - Resumo de conexão entre FPGA master e slave.
FONTE: PRÓPRIO AUTOR.

2.4 Simulação e demonstração prática

Aqui será feita a validação da implementação proposta através de simulação via software. Também é demonstrado na prática o PTP implementado nas placas FPGA, master e slave, tendo como resultado final o sincronismo em um tempo de nanossegundos dos relógios das placas FPGA master e slave.

3 Considerações Parciais/Finais

Ao final do trabalho de implementação do IEEE 1588v2 na sincronização de hardware, a partir nas duas placas FPGA, uma em modo mestre e a outra modo escravo, se espera alcançar o sincronismo entre os dois relógios das placas FPGA em uma taxa de tempo de nanossegundos. Atingindo esse objetivo, será possível verificar na prática o funcionamento desse protocolo que como visto, é de grande importância nos cenários atuais das industrias.

Referências

KUNG, Y.-S.; HUANG, C.-C.; TSAI, M.-H. Fpga realization of an adaptive fuzzy controller for pmlsm drive. In: . [s.n.], 2009. v. 56, n. 8, p. 2923 – 2932. ISSN 02780046. AC motor drives;Adaptive fuzzy controller;Adjustable mechanisms;Field programmable gate array (FPGAs);Permanent magnet linear synchronous motor;Permanent magnet motor;Trapezoidal velocity profile;VHSIC hardware description languages;. Disponível em: <http://dx.doi.org/10.1109/TIE.2009.2023638>.

KYRIAKAKIS, E.; SPARSO, J.; SCHOEBERL, M. Hardware assisted clock synchronization with the ieee 1588-2008 precision time protocol. In: . Poitiers, France: [s.n.], 2018. p. 51 – 60. Clock Synchronization;FPGA implementations;Hardware assist;IEEE 1588-2008;Precise time protocols;Wcet analysis;. Disponível em: <http://dx.doi.org/10.1145/3273905.3273920>.

NEWS, R. W. *IEEE 1588v2A Look at Time and Frequency Synchronization*. 2014. Disponível em: <https://www.rcrwireless.com/20140513/wireless/ieee-1588v2>. Acesso em: 15 out 2019.

PEDRETTI, D.; BELLATO, M.; ISOCRATE, R.; BERGNOLI, A.; BRUGNERA, R.; CORTI, D.; CORSO, F. D.; GALET, G.; GARFAGNINI, A.; GIAZ, A.; LIPPI, I.; MARINI, F.; ANDRONICO, G.; ANTONELLI, V.; BALDONCINI, M.; BERNIERI, E.; BRIGATTI, A.; BUDANO, A.; BUSCEMI, M.; BUSSINO, S.; CARUSO, R.; CHIESA, D.; CLEMENTI, C.; DING, X.; DUSINI, S.; FABBRI, A.; FORD, R.; FORMOZOV, A.; GIAMMARCHI, M.; GRASSI, M.; INSOLIA, A.; LOMBARDI, P.; MANTOVANI, F.; MARI, S.; MARTELLINI, C.; MARTINI, A.; MERONI, E.; MIRAMONTI, L.; MONFORTE, S.; MONTINI, P.; MONTUSCHI, M.; NASTASI, M.; ORTICA, F.; PAOLONI, A.; PREVITALI, E.; RANUCCI, G.; RE, A.; RICCI, B.; ROMANI, A.; SALAMANNA, G.; SAWY, F.; SETTANTA, G.; SISTI, M.; SIRIGNANO, C.; STANCO, L.; STRATI, V.; VERDE, G. Nanoseconds timing system based on ieee 1588 fpga implementation. *IEEE Transactions on Nuclear Science*, v. 66, n. 7, p. 1151 – 1158, 2019. ISSN 00189499. European organization for nuclear researches;Eye diagrams;Field-programmable gate array implementations;Front end electronics;Hardware implementations;Local area networks (LAN);Precision time protocols;Timing systems;. Disponível em: <http://dx.doi.org/10.1109/TNS.2019.2906045>.

PRADO, A. C. *FPGA*. 2014. Disponível em: <https://www.embarcados.com.br/fpga/>. Acesso em: 16 out 2019.

QI, M.; WANG, X.; YANG, Z. Design and implementation of ieee1588 time synchronization messages timestamping based on fpga. In: . [s.n.], 2011. p. 1566 – 1570. Clock Synchronization;Design and implementations;Hardware circuits;Hardware solutions;IEEE1588;Media Independent Interface (MII);Precise time protocols;Time synchronization;. Disponível em: <http://dx.doi.org/10.1109/DRPT.2011.5994146>.

SAMBERG, L. *IEEE-1588 v2 (PTP)*. 2017. Disponível em: <https://wiki.mef.net/pages/viewpage.action?pageId=29230774>. Acesso em: 15 out 2019.