

EDI018702 2023 2 AULA01

Índice

Circuitos Sequencias

Síncrono

Assíncrono

Latches

Latch RS

Latch RS Controlado

Latch D

Flip-Flops

Tipo RS

Tipo D

Tipo JK

Tipo T

Desafios no Grupo

Referências

Circuitos Sequencias

APRESENTAÇÃO

Na unidade curricular Eletrônica Digital I, você aprendeu sobre o funcionamento de um circuito combinacional, constituído a partir de um conjunto de portas lógicas, cujo os valores das suas saídas são definidos diretamente a partir dos valores atuais das suas entradas. Veremos agora os Circuitos Sequenciais onde a alteração dos estados do circuito dependem do tempo. Portanto em **Eletrônica Digital II** vamos identificar e resolver problemas que envolvam a variável tempo, cuja solução seja expressa pela lógica binária e implementada através de circuitos eletrônicos digitais sequencias, sejam eles Flip-Flops (FF), Contadores, Registradores ou Memórias.

OBJETIVOS

Nesta aula o aluno deverá:

- Identificar os elementos de um circuito digital;
- Conhecer o que são circuitos síncronos e assíncronos; e
- Diferenciar latches e flip-flops.

METODOLOGIA

A aula será expositiva e dialogada, utilizando apresentação de texto base na Internet, onde serão mostrados e simulados exemplos de circuitos digitais sequenciais.

INTRODUÇÃO

Os circuitos lógicos dos sistemas digitais podem ser classificados em dois tipos: circuitos combinacionais ou circuitos sequenciais. Um circuito combinacional é constituído de um conjunto de portas lógicas, as quais determinam os valores das saídas diretamente a partir dos valores atuais das entradas.

Um circuito sequencial é composto por um circuito combinacional e elementos de memória. As entradas e as saídas do circuito sequencial estão conectadas somente ao circuito combinacional. Os elementos de memória são circuitos capazes de armazenar informação codificada em binário. Algumas das saídas do circuito combinacional são entradas para os elementos de memória, recebendo o nome de variáveis do próximo estado. Já as saídas dos elementos de memória constituem parte das entradas para o circuito combinacional e recebem o nome de variáveis do estado atual. As conexões entre o circuito combinacional e os elementos de memória configuram o que se costuma chamar laço de realimentação, pois a saída de um bloco é entrada para o outro e vice-versa. A Figura 1 mostra o diagrama de blocos de um circuito sequencial. [2]

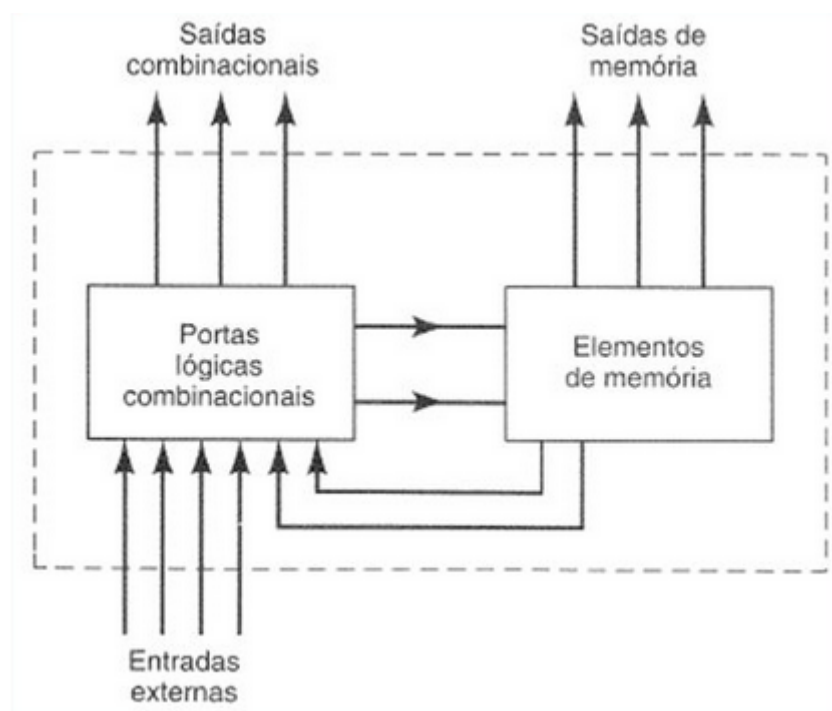


Figura 1 - Diagrama geral de um sistema digital. [1]

A informação armazenada nos elementos de memória num dado instante determina o estado em que se encontra o circuito sequencial. O circuito sequencial recebe informação binária das entradas que, juntamente com a informação do **estado atual**, determinam os valores das saídas e os valores do **próximo estado**. Desta forma, fica evidente que as saídas de um circuito sequencial dependem não apenas das entradas, mas também do estado atual, armazenado nos elementos de memória. E o mesmo pode ser dito para as variáveis de próximo estado. Em função deste *comportamento sequencial*, um circuito sequencial é especificado pela sequência temporal de entradas, saídas e estados internos.

Os circuitos sequenciais podem ser divididos em dois tipos: **síncronos** e **assíncronos**.

Síncrono

Um circuito sequencial síncrono utiliza um sinal denominado de relógio (clock) o qual tem a função de cadenciar uma eventual troca de estado. A Figura 2 mostra um exemplo de sinal de relógio. A forma de onda de um sinal de relógio é dita monótona, pois não se altera ao longo do tempo. Nela podem ser identificados a borda de subida, a borda de descida, o nível lógico zero e o nível lógico um. O tempo que decorre para o sinal se repetir é denominado período e é representado por T . Por exemplo, o tempo entre duas bordas de subida sucessivas é igual a T . Da mesma forma, o tempo entre duas bordas de descida sucessivas é igual a T .

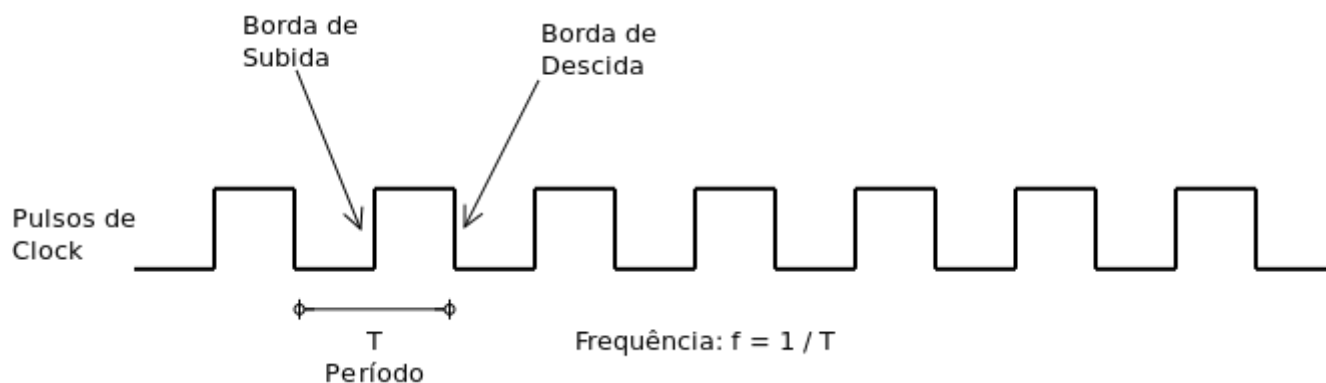


Figura 2 - Exemplo de sinal de relógio (clock).

A frequência de um sinal de relógio, representada por f , é definida como sendo o inverso do período, ou seja:

$$f = \frac{1}{T} \text{ Hz}$$

Para medir-se o período (T), usa-se os múltiplos do segundo: ms, μ s, ns e ps. Para se medir a frequência, usa-se os múltiplos do hertz: kHz, MHz e GHz. Um hertz equivale a **uma vez por segundo**.

EXERCÍCIO

Desenhe uma forma de onda que represente um clock de 100kHz.

(os alunos fazem, eles desenharam)

Assíncrono

Em um circuito sequencial assíncrono as entradas mudam de acordo com uma ordem, isto faz com que o estado do circuito possa ser alterado a qualquer tempo, como consequência de uma mudança de suas entradas. Os elementos de memória utilizados nos circuitos sequenciais assíncronos apresentam uma capacidade de armazenamento que está associada diretamente ao atraso de propagação dos circuitos que os compõem. Em outras palavras, o tempo que esses circuitos levam para propagar uma mudança de suas entradas até suas saídas pode ser encarado como o tempo durante o qual eles retêm os valores aplicados antes da mudança, e esse fenômeno coincide com o conceito de memória, para os circuitos digitais. Nos circuitos sequenciais assíncronos, os elementos de memória são compostos por portas lógicas que proveem um atraso de propagação com valor adequado para o funcionamento do circuito. Então, um circuito sequencial assíncrono pode ser visto como um circuito combinacional com realimentação. O projeto de circuitos com

realimentação apresenta grandes dificuldades, uma vez que seu funcionamento correto é dependente das características temporais dos componentes (portas lógicas e fios). A principal dificuldade provém do fato de que os componentes apresentam atrasos que não são fixos, podendo ser diferentes mesmo para exemplares com mesma função e de um mesmo fabricante. Desta forma, os circuitos sequenciais assíncronos têm sido evitados, sempre que possível, em favor do uso de circuitos sequenciais síncronos.

Latches

Os vários flip-flops existentes se diferenciam pelo número de entradas que possuem e na maneira pela qual tais entradas afetam o estado em que o flip-flop se encontra. Os tipos mais básicos de flip-flops são denominados latches. Os latches operam por níveis dos sinais de entrada (diz-se que são sensíveis a nível) e servem como base na construção dos flip-flops mais sofisticados. Apesar de serem capazes de armazenar informação binária, os latches são pouco utilizados na construção de circuitos sequenciais síncronos por serem menos práticos do que os flip-flops.

Latch RS

O RS é o latch mais simples que existe. Ele pode ser construído com o uso de duas portas **NOR** de 2 entradas cada, conectadas conforme mostra a Figura 3. Note que há duas entradas, chamadas R e S, e duas saídas, Q e \bar{Q} . Note também que existe uma conexão entre a saída Q e a outra entrada da NOR 2. Existe também uma conexão entre a saída \bar{Q} e a outra entrada da NOR 1. Conexões entre saída e entrada são denominadas realimentações, e no caso de circuitos digitais, são responsáveis pela propriedade de armazenamento apresentada pelo circuito.

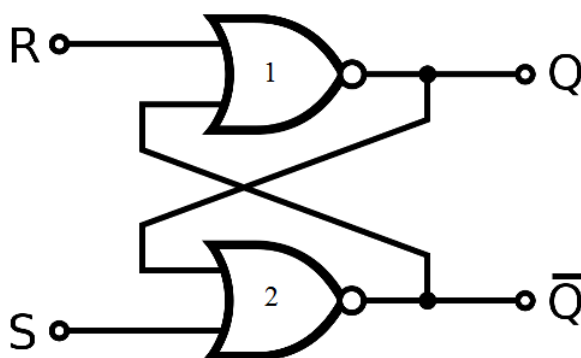


Figura 3 - Latch RS com portas NOR.

Assim, a análise do funcionamento do latch RS obedecerá a identificação de uma combinação de entradas (passo 1) capaz de determinar o estado do latch de maneira independente do estado anterior (se isso for possível). Desta forma Assumindo o estado determinado no passo 1 como sendo o estado inicial, aplicação de uma nova combinação de entradas para verificar como o circuito se comporta (se muda de estado ou não); Repetição dos passos 1 e 2 para cada combinação de entradas capaz de determinar o estado do circuito de maneira independente. A partir do procedimento anterior encontrar-se-á uma tabela de comportamento denominada tabela de transição de estados (ou simplesmente, tabela de transição), a qual é característica deste latch. Em particular, cada latch e cada flip-flop possui um comportamento que pode ser expresso em termos de uma tabela de transferência que lhe é própria.

R	S	Q	Q\
0	0	Q	Q\
0	1	1	0
1	0	0	1
1	1	proibido	proibido

Latch RS Controlado

No latch RS uma alteração das entradas R e S pode acarretar uma troca de estado. Porém, em alguns casos pode ocorrer que os sinais conectados às entradas R e S sofram variações não desejadas, sendo válidos somente em alguns intervalos de tempo bem determinados. Nesse caso, seria interessante que houvesse uma entrada de maior prioridade que fosse encarregada de controlar a habilitação do latch, deixando-o sensível ou não aos valores das entradas R e S. A Figura 4 apresenta um latch RS controlado.

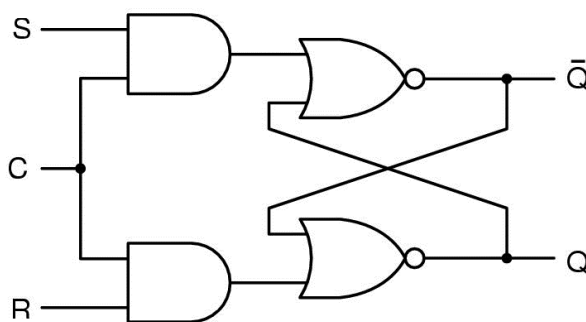


Figura 4 - Latch RS controlado.

C	R	S	Q
0	X	X	Qa
1	0	0	Qa
1	0	1	1
1	1	0	0
1	1	1	proibido

- Qa: saída do estado anterior.

Latch D

Para evitar a ocorrência do estado proibido foi criado O latch D que é construído a partir do latch RS, com a colocação de um inversor entre as entradas S e R, assim, fica assegurado que nunca ocorrerá a situação de entradas R=1 e S=1, responsáveis pelo surgimento do estado proibido. Desta forma, a tabela de transição do latch D pode ser derivada da tabela do latch RS controlado, onde as entradas R e S passam a ser a entrada D (com D=S). Duas combinações de entradas desaparecem: uma que resultava na manutenção do estado e outra que resultava no estado proibido. O símbolo do latch D é mostrado na Figura 5.

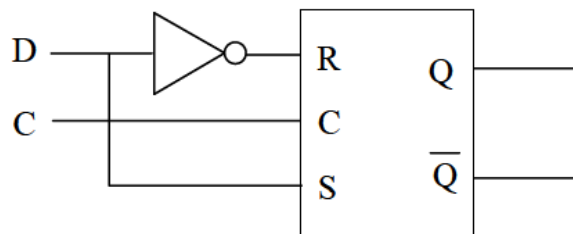


Figura 5 - Latch D.

C	D	Q
0	X	Qa
1	0	0
1	1	1

Conforme visto até agora, os latches controlados D e RS são ativados ou controlados pelo nível lógico do sinal de controle. Isso significa que, enquanto o sinal de controle estiver ativando o latch, eventuais variações das entradas D ou R e S serão percebidas pelo latch e este poderá mudar de estado. Essa característica é particularmente imprópria para a construção de circuitos sequenciais síncronos, uma vez que em tais circuitos qualquer troca de estado deve ocorrer de maneira sincronizada com o sinal de relógio.

Flip-Flops

Os flip-flops são elementos de circuito que podem apresentar em seu funcionamento apenas dois estados estáveis. Não existem estados intermediários entre estes dois estados. A aplicação de um sinal de entrada pode mudar o dispositivo de um estado para outro e como a qualquer momento podemos saber qual é o estado em que ele se encontra, é possível considerar este circuito como uma memória capaz de armazenar um bit.

O flip-flop é o elemento básico das chamadas memórias estáticas. Existem diversos tipos de flip-flops encontrados nos circuitos digitais comerciais.

Tipo RS

O Flip-Flop RS (Reset e Set) funciona da seguinte maneira:

O flip-flop RS tem duas saídas representadas por Q e \bar{Q} , assim, na condição inicial estável Q estará no nível baixo (0) e \bar{Q} estará no nível alto (1). O processo que leva o flip-flop a este estado inicial pronto para funcionar é muito rápido, não demorando mais do que alguns microssegundos. Quando o flip-flop se encontra na situação indicada, com $Q=0$ e $\bar{Q}=1$, dizemos que ele se encontra "setado". A Figura 1 mostra o símbolo utilizado pelo Flip-Flop RS com clock.

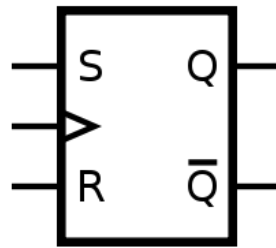


Figura 6 - Flip-Flop RS com clock.

Assim, estando o flip-flop na condição indicada, se desejarmos mudar o estado, aplicamos o pulso na entrada SET, ficando $Q=1$ e $Q\bar{=}0$. Desta forma, se desejarmos mudar o estado novamente, aplicamos o pulso na entrada RESET, logo as saídas mudam para $Q=0$ e $Q\bar{=}1$. A Figura 7 mostra os diagramas de tempo para um FF R-S com clock. **Lembre-se que SET e RESET são assíncronos, ou seja, acontecem imediatamente depois de acionados.**

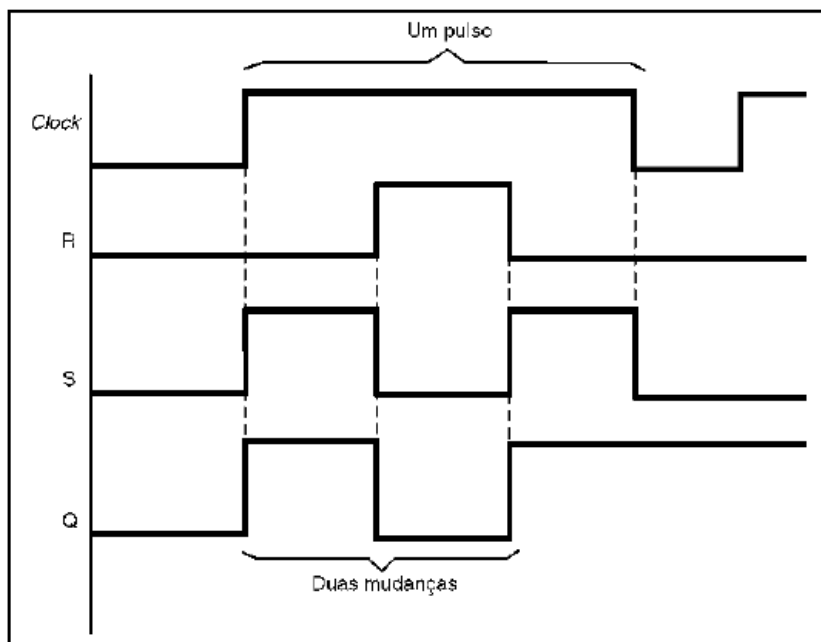


Figura 7 - Diagrama de tempos para o Flip-Flop RS com entrada de clock.

Se a mudança de estado ou disparo (gatilho) ocorre quando o sinal de clock passa de 0 para 1, os flip-flops são denominados "positive edge-triggered", enquanto que, se o disparo ocorre quando o clock vai do nível 1 para 0, ou seja, na queda do nível lógico, os flip-flops são chamados de "negative edge-triggered". Neste tipo de circuito é muito importante levar em conta, num projeto de maior velocidade, os tempos em que todo o processo ocorre. Assim, partindo do diagrama de tempos da Figura 8, vemos que a saída do flip-flop só completa sua mudança de estado depois de um certo tempo, do pulso de clock ter sido aplicado.

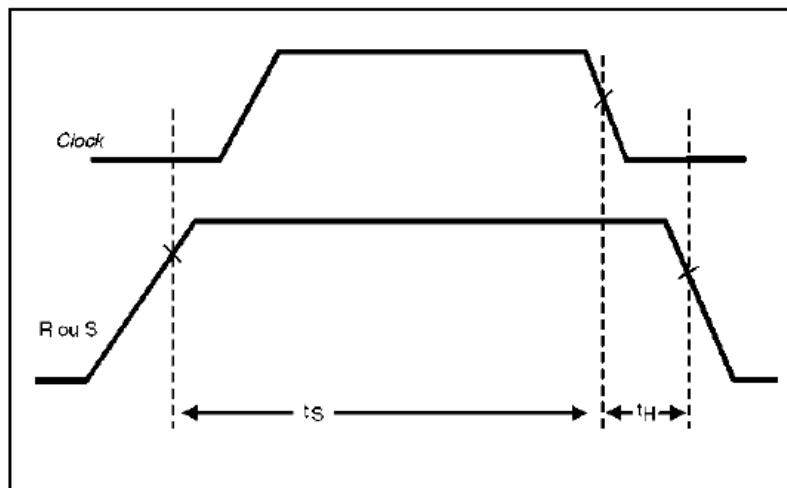


Figura 8 - Tempos do flip-flop RS.

Dois tempos são importantes neste tipo de circuito:

Hold Time (tH)

"Tempo de Manutenção" é o tempo em que a entrada deve permanecer ainda no circuito para que seu nível lógico seja reconhecido pelo flip-flop.

Setup Time (tS)

"Tempo de configuração" é tempo em que a entrada do flip-flop deve permanecer no estado desejado antes da transição do clock que vai provocar a mudança de estado do circuito.

Tipo D

O Flip-Flop tipo D funciona da seguinte maneira: Quando houver variação do clock, o valor guardado na saída do flip-flop será igual ao valor da entrada D (dados) naquele momento.

O circuito do flip-flop do tipo D pode ser construído a partir do circuito do flip-flop RS controlado, basta adicionar uma porta inversora entre R e S fazendo com que as entradas sempre sejam invertidas uma da outra. Desse modo não vamos ter R=0 e S=0 ou R=1 e S=1 o que evita o chamado "estado proibido". A Figura 4 mostra essa configuração.

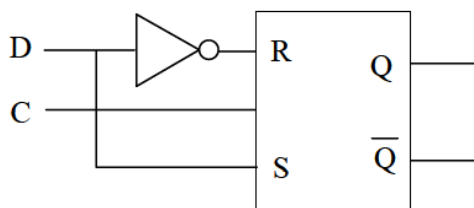


Figura 4 - Circuito do flip-flop tipo D utilizando o RS controlado.

FF D

D	Q
0	0
1	1

Observe que pelo fato do flip-flop tipo D possuir apenas uma entrada faz com que a sua tabela verdade possua somente duas linhas, já que com uma entrada são possíveis apenas dois valores 0 ou 1. O C, de controle, na verdade se transforma em clock (CK) nas distribuições comerciais, além do possuir preset (PR) e clear (CLR). A Figura 5 apresenta um flip-flop tipo D com preset e clear ativos pela borda de subida do clock (a) e borda de descida do clock (b).

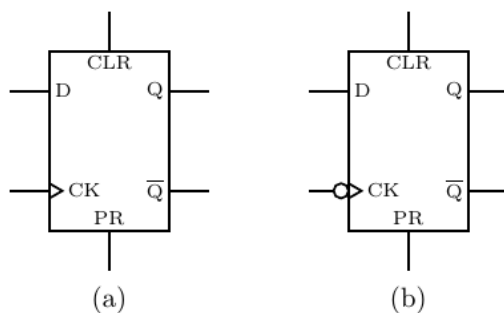


Figura 5 -Flip-flop tipo D com preset e clear ativos pela: (a) borda de subida e (b) borda de descida do clock.

Tipo JK

No Flip-Flop JK quando houver variação do clock, o valor guardado no flip-flop será alternado se as entradas J e K forem iguais a 1 e será mantido se ambas forem iguais a 0. No caso de serem diferentes, então o valor se tornará 1 se a entrada J (Jump) for 1 e será 0 se a entrada K (Kill) for 1. A Figura 6 mostra o símbolo utilizado para o flip-flop JK.

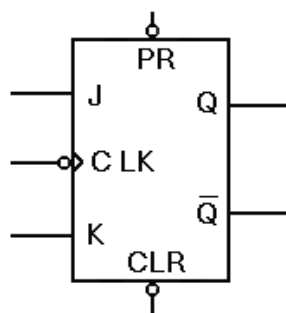


Figura 6 - Flip-flop JK com preset e clear.

FF JK

J	K	Q
0	0	Q
0	1	0
1	0	1
1	1	Q\

O flip-flop JK aprimora o funcionamento do flip-flop RS interpretando a condição $S = R = 1$ (proibido) como um comando de inversão.

Especificamente, a combinação $J = 1, K = 0$ é um comando para ativar (set) a saída do flip-flop. A combinação $J = 0, K = 1$ é um comando para desativar (reset) a saída do flip-flop; e a combinação $J = K = 1$ é um comando para inverter o flip-flop, trocando o sinal de saída pelo seu complemento.

Tipo T

Assim como se modifica o flip-flop R-S colocando um porta inversora entre as entradas R e S para criar o flip-flop tipo D, podemos fazer um curto-circuito entre J e K e o flip-flop J-K se torna um flip-flop T. A Figura 7 apresenta como transformar um flip-flop do tipo JK em tipo T.

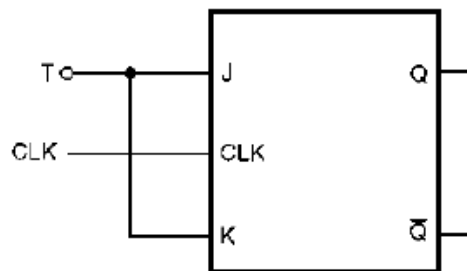


Figura 7 - Transformando flip-flop JK em T.

FF T

T	Q
0	Q
1	Q\

O flip-flop tipo T funciona da seguinte forma: Quando houver variação do clock, o valor guardado no flip-flop será alternado ou mantido dependendo se o valor na entrada T (Toggle) for 1 ou 0. Assim, quando $T=1$ a saída vai para $Q\$ e quando $T=0$ a saída permanece como estava.

Desafios no Grupo

[1] Qual a frequência de um sinal de clock que possui 5ms de período?

$$T = 5ms$$

$$f = \frac{1}{T} Hz$$

$$f = \frac{1}{5 \cdot 10^{-3}}$$

$$f = 200 Hz$$

Revisão

Unidades de medida:

Tensão: **V** ou volt(s)

Corrente elétrica: **A** ou ampere(s)

Potência: **W** ou watt(s)

Tempo/periodo: **s** ou segundo(s)

Frequência: **Hz** ou hertz

Para lembrar!

Multiplos

Fator	Símbolo	Prefixo
10^{12}	T	tera
10^9	G	giga
10^6	M	mega
10^3	k	kilo (quilo)
10^0	-	(é unidade)
10^{-3}	m	mili
10^{-6}	μ	micro
10^{-9}	n	nano
10^{-12}	p	pico

EXEMPLO 1

Meu chuveiro elétrico tem potência de 5400W. Mesmo que 5,4kW. Mesmo que 5400 watts.

EXEMPLO 2

A rádio está sintonizada na frequência 100,9MHz. Mesmo que 100.900.000 hertz. Mesmo que 100.900kHz.

Referências

[1] TOCCI, Ronald J.; WIDMER N. S.; GREGOGRY L. M. Sistemas digitais: princípios e aplicações. São Paulo: Prentice Hall, 2003.

[2] <http://www.inf.ufsc.br/~guntzel/isd/isd4.pdf>

[3] <http://www.cburch.com/logisim/docs/2.7/pt/html/libs/mem/flipflops.html>



Disponível em "https://wiki.sj.ifsc.edu.br/index.php?title=EDI018702_2023_2_AULA01&oldid=189383"

Esta página foi modificada pela última vez em 24 de julho de 2023, às 16h11min.

EDI018702 2023 2 AULA02

Índice

Contadores Assíncronos

Contador Assíncrono Crescente

Contadores de Módulo

Contadores Decádicos

Contadores Decrescentes

Atrasos de Propagação

Exercício

Resposta

Referências

Contadores Assíncronos

OBJETIVOS

Nesta aula o aluno será capaz de:

- Identificar a estrutura e ligações de contador assíncrono;
- Identificar se um contador é crescente ou decrescente;
- Projetar um contador de módulo;
- Reconhecer um contador de década.

METODOLOGIA

A aula será expositiva e dialogada, utilizando apresentação de texto base na Internet, onde serão mostrados e simulados exemplos de circuitos sequenciais.

INTRODUÇÃO

Os contadores são circuitos que utilizam flip-flops e são aplicados, principalmente, em contagens diversas, divisão de frequência, medição de frequência e de tempo, divisão de formas de onda e conversão de analógico para digital. Estes circuitos sequenciais são divididos basicamente em duas categorias:

- Contadores assíncronos; e
- Contadores síncronos.

Basicamente a principal diferença entre eles é que o síncrono utiliza um sinal de *clock* comum a todos os flip-flops e o assíncrono possui um sinal de *clock* que é

dividido até o último flip-flops. Estes contadores também são conhecidos como seriais ou contadores por pulsação (*ripple counter*). Tal nome advém do fato dos flip-flops (FF) do contador não serem disparados diretamente pelo sinal de *clock*. Cada FF é disparado pela saída do FF anterior. Esta característica torna estes contadores limitados em termos de velocidade, pois o tempo de ativação (tempo de resposta) é dado aproximadamente pela soma dos tempos de atraso de propagação de cada FF. Nosso estudo começa pelos contadores assíncronos.

Contador Assíncrono Crescente

Um circuito típico de um contador assíncrono crescente construído com FF do tipo JK é mostrado na Figura 1. Os FF JK estão com ambas entradas J e K permanentemente em nível alto, estando configuradas portanto como FF tipo T. Cada FF é disparado pela saída do FF anterior. A Figura 2 mostra o diagrama de tempo para esse contador.

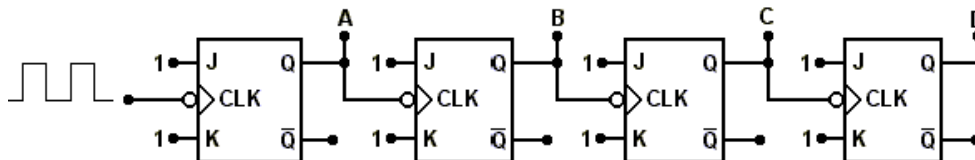


Figura 1 - Contador assíncrono crescente.

O contador tem como conteúdo (estado interno) a contagem do número de transições negativas do *clock*, de forma que quando ocorre uma transição o conteúdo é incrementado de uma unidade. O conteúdo do contador é dado pelo número binário DCBA, onde A é o bit LSB (bit menos significativo) e D é o bit MSB (bit mais significativo). O módulo (MOD) de um contador é o seu número de estados distintos, portanto, o módulo de um contador com N FF pode ser no máximo o número de possíveis saídas (2^N). A Tabela mostra os estados de contagem de um contador assíncrono com 4 FF (4 bits). Podemos perceber que após 16 transições de *clock* o contador reinicia a contagem. Por isso, este contador é de MOD-16, ou seja, tem 16 estados distintos (0000b até 1111b).

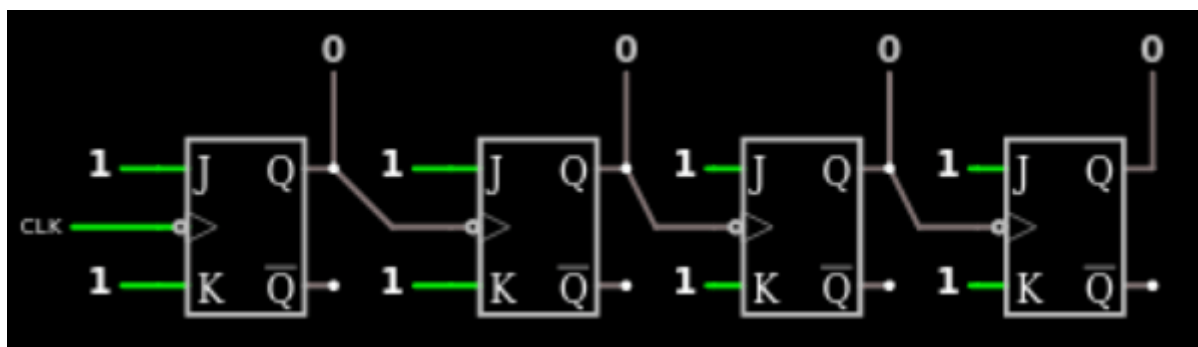


Figura 1b - Contador assíncrono crescente (animação).

Vale ressaltar que os FFs estão configurados com J=1 e K=1 que dá a característica de contador "natural", ou seja, a cada pulso de *clock* a saída é complementada (0->1 e 1->0). Cada FF anterior gera o *clock* do próximo FF assim realizando a contagem conforme mostra o diagrama da Figura 2 e a Tabela 1. Lembrando que no primeiro FF vai o sinal de *clock*.

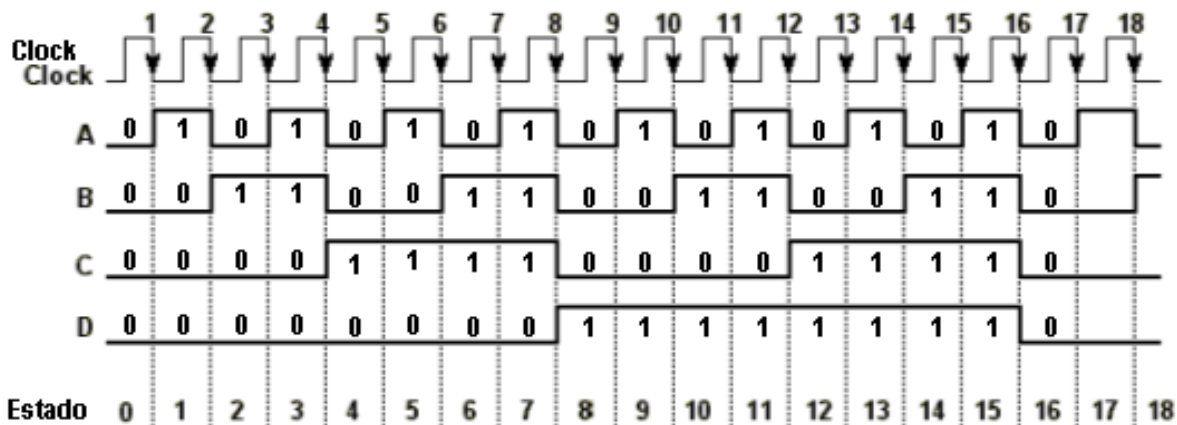


Figura 2 - Diagrama de tempo do contador assíncrono crescente.

Nos contadores assíncronos, a frequência do *clock* é dividida por 2 em cada FF, ou seja: na saída A temos $clock/2$, e na saída D temos $clock/16$. Portanto, os contadores assíncronos são divisores de frequência e no último FF a frequência de *clock* é dividida pelo módulo do contador.

Tabela 1 - Contador assíncrono crescente MOD-16

Clock	D	C	B	A	Decimal	Estado
0	0	0	0	0	0	0
1	0	0	0	1	1	1
2	0	0	1	0	2	2
3	0	0	1	1	3	3
4	0	1	0	0	4	4
5	0	1	0	1	5	5
6	0	1	1	0	6	6
7	0	1	1	1	7	7
8	1	0	0	0	8	8
9	1	0	0	1	9	9
10	1	0	1	0	10	10
11	1	0	1	1	11	11
12	1	1	0	0	12	12
13	1	1	0	1	13	13
14	1	1	1	0	14	14
15	1	1	1	1	15	15
16	0	0	0	0	0	0
17	0	0	0	1	1	1
18	0	0	1	0	2	2

Circuito do Contador Assíncrono de 3 bits - *falstad*

[\[Expandir\]](#)

Contador assíncrono no Tinkercad

A Figura 3 mostra o circuito realístico utilizando o 7473 (duplo flip-flop JK) montado e simulado com a página do Tinkercad (<https://www.tinkercad.com/>).

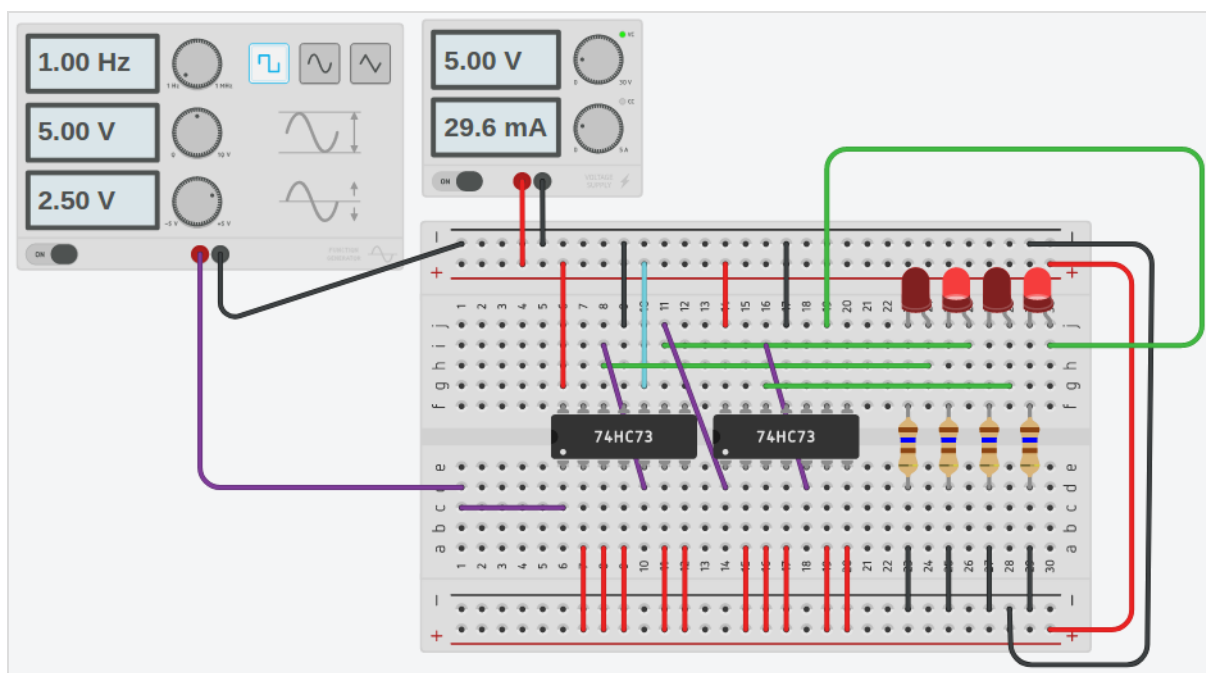


Figura 3 - Contador assíncrono crescente realístico.

Na Figura 3 podemos visualizar um Gerador de função configurado para uma frequência de 1Hz com 5V de amplitude e um componente CC de 2,5V, que transforma a onda quadrada em sinal de *clock* oscilando entre 0V e 5V - respectivamente 0 e 1 lógicos. Também temos uma Fonte de energia e uma placa de ensaio pequena. Quanto às ligações (fios) em vermelho são 5V (nível lógico alto), as em verde foram utilizadas para conectar às saídas, às ligações em preto são 0V (nível lógico baixo) e às ligações em roxo foram utilizadas para o *clock*. Lembrando que o *clock* sempre vem das saídas anteriores, exceto o *clock* do primeiro flip-flop que vem do Gerador de função. Os LEDs são ligados no sentido do anodo para o catodo passando por um resistor para limitar a frequência em 20mA (normalmente). A Figura 4 mostra o diagrama de pinos do 7473.

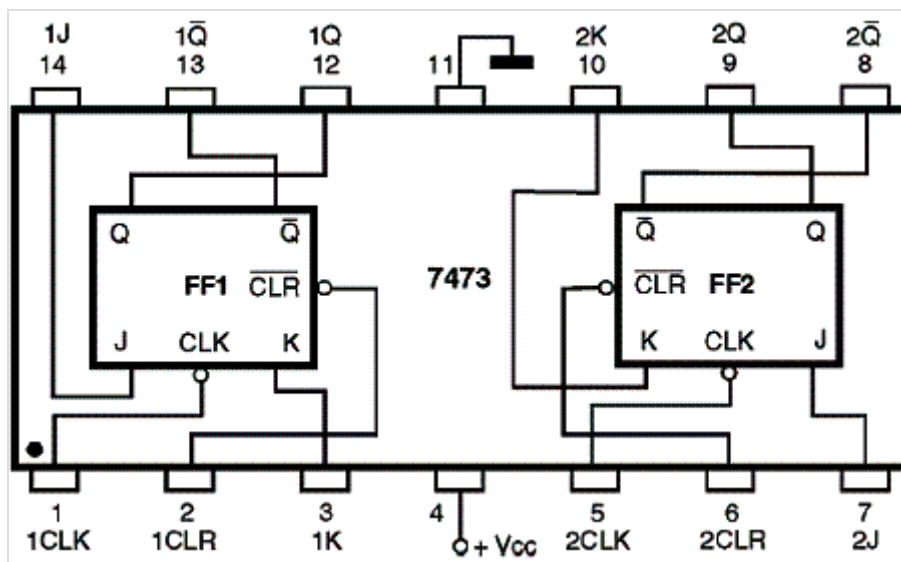


Figura 4 - Diagrama de pinos do 7473 (duplo flip-flop JK).

No Diagrama de pinos podemos observar que o sinal do *clock* (pinos CLK) é por borda de descida e que o *clear* (pinos CLR) é ativo baixo.

Contadores de Módulo

Para obter um contador com módulo menor do que 2^N é necessário adicionar um circuito decodificador para reiniciar a contagem antes de chegar ao valor máximo (ou mínimo). A Figura 5 mostra um contador MOD-6. Se não houvesse a porta NAND ligada nas entradas CLR dos FF o módulo do contador seria 8. A sequência de estados do contador MOD-6 é mostrada nas Figura 6 e Tabela 2. Note que na transição do 6º *clock* o estado do contador passa temporariamente pelo estado (110b), o qual faz com que a saída da porta NAND passe para o estado BAIXO, causando o CLR nos FF, e conseqüentemente levando o contador para o estado (000b).

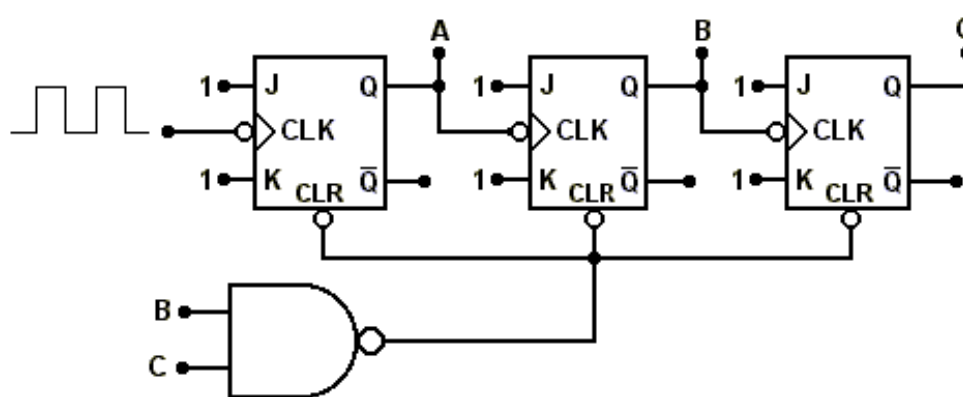


Figura 5 - Contador assíncrono com módulo $< 2^N$.

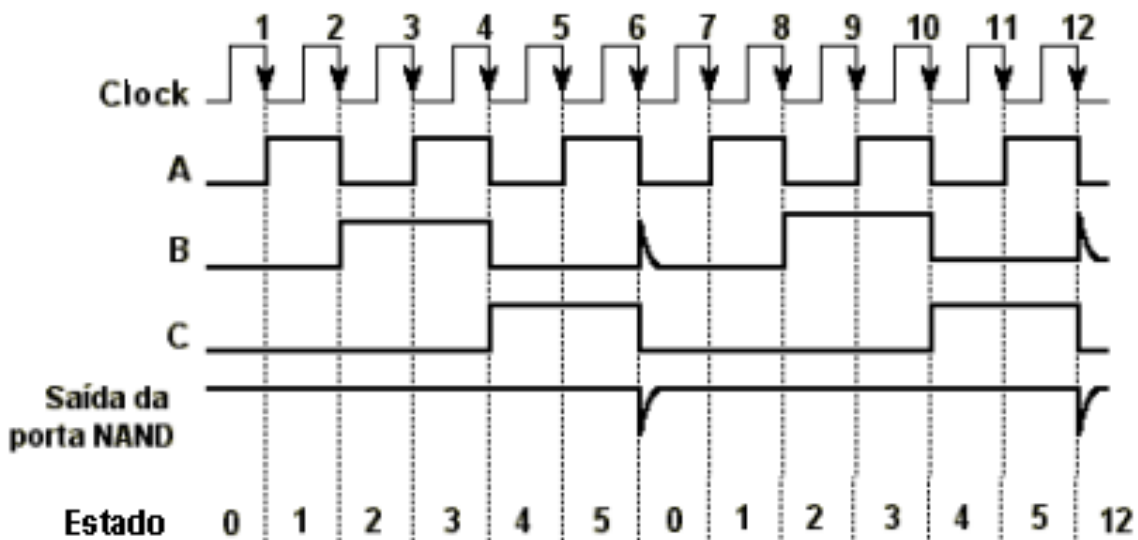


Figura 6 - Diagrama de tempo do contador com módulo $<2^N>$.

Tabela 2 - Contador assíncrono crescente MOD-6

Clock	C	B	A	Decimal	Estado
0	0	0	0	0	0
1	0	0	1	1	1
2	0	1	0	2	2
3	0	1	1	3	3
4	1	0	0	4	4
5	1	0	1	5	5
6*	1	1	0	6	6
6	0	0	0	0	0
7	0	0	1	1	1
8	0	1	0	2	2

*Não atingível.

A Figura 6b mostra a animação do contador MOD-6. Percebam que foi utilizado uma porta AND ao invés de NAND porque o R (reset) é ativo alto. Então quando a contagem chega a 110b que é 6d a porta AND é ativada e sua saída da *reset* em todos os FFs recomeçando a contagem de 0. Cuidado com o bit mais significativo e menos significativo.

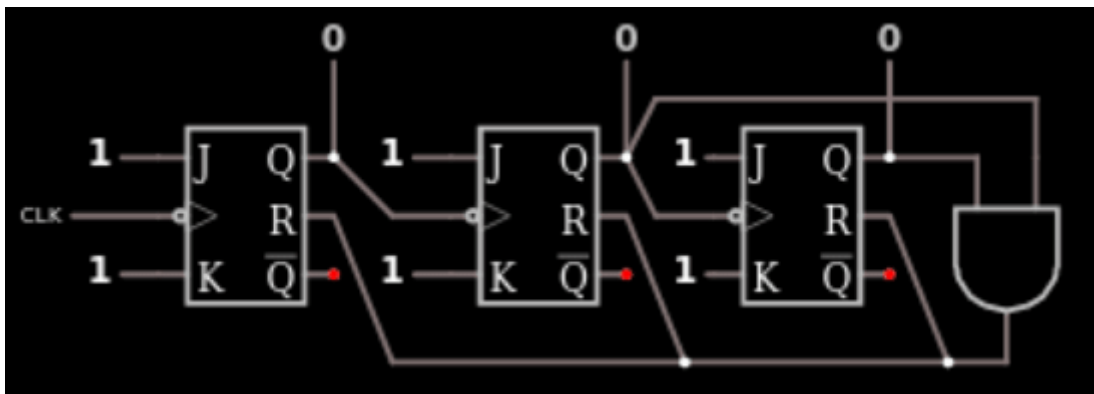


Figura 6b - Contador assíncrono com MOD-6 (animação).

O diagrama de transição de estados do contador de 3 bits MOD-6 é mostrado na Figura 7. No diagrama de transição as linhas contínuas indicam a passagem pelos estados estáveis (000b 101b) e as linhas tracejadas indicam a passagem pelos estados temporários (110b). O estado (111b) embora possível não é atingível.

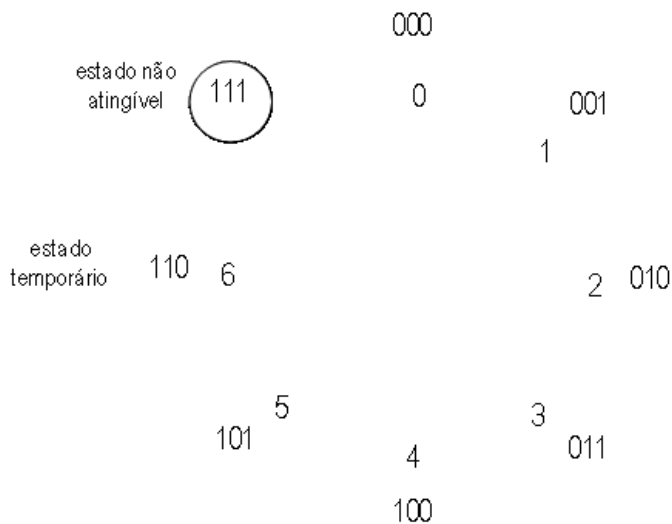


Figura 7 - Diagrama de transição de estados de um contador MOD-6.

Para a construção de um contador módulo X menor que o módulo máximo, o procedimento deve seguir as etapas:

- Determinar o menor número N de FF tal que $2^N \leq X$.

Exemplo: MOD-12 $\rightarrow N = 4$.

- Conectar a porta NAND nas entradas assíncronas \overline{CLR} de todos os FF. Se $2^N = X$, não é necessário conectar nada a entrada;
- Conectar as saídas que estarão em ALTO na contagem X, na porta NAND.

Exemplo: 12 = 1100b D = 1 e C = 1, conectar D e C a porta NAND.

Contador de módulo no Tinkercad

A Figura 7b mostra a montagem do circuito no tinkercad. Quando a contagem chega a 110b (6d) o circuito é

resetado pela porta nand. A Figura 7c mostra o diagrama de pinos para o CI 7400 e o diagrama de pinos do CI 7473 pode ser visto na Figura 4.

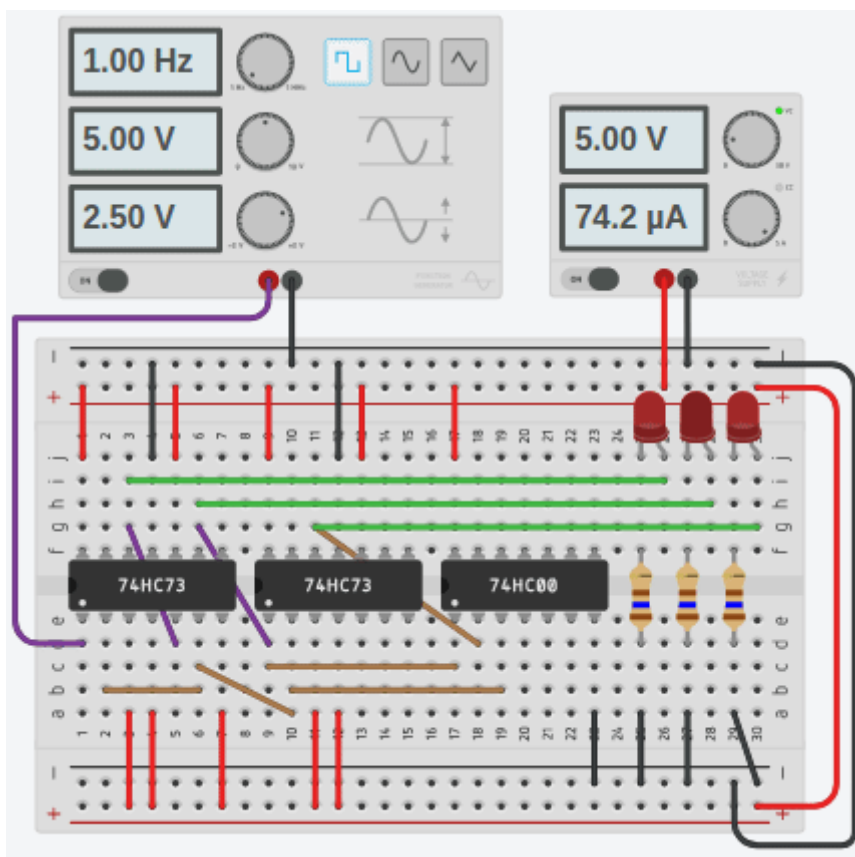


Figura 7b - Circuito contador MOD-6.

* A animação não está sincronizada.

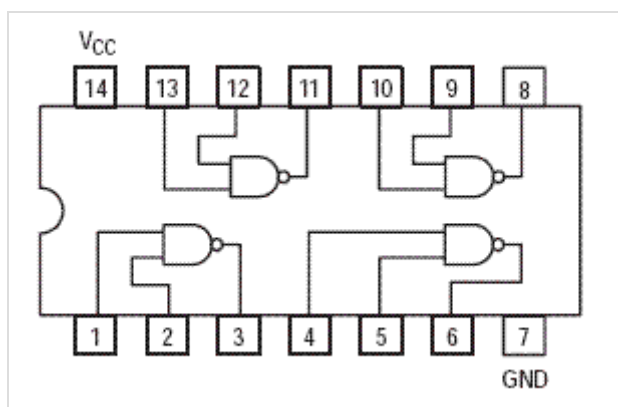


Figura 7c - Diagrama de pinos do CI 7400 (Portas NAND).

Contadores Decádicos

Os contadores de década (ou decádico) são contadores que possuem 10 estados distintos, não importando a sequência de contagem. Quando um contador decádico realiza a contagem em sequência binária crescente de 0000b a 1001b (0 a 9), ele é chamado de contador BCD. A Figura 8 mostra o CI 7490.



Figura 8 - Circuito Integrado Contador 7490.

O circuito integrado TTL 7490 consiste num contador de década, divisor por 2 e por 5, com saídas BCD. Cada circuito integrado exige uma corrente de 32 mA e a máxima frequência de contagem é 18 MHz. A contagem ocorre nas transições negativas do sinal de *clock*. Este circuito é encontrado em versões mais rápidas nas subfamílias TTLs correspondentes. [Datasheet 7490 - Contador Decádico \(https://www.jameco.com/Jameco/Products/ProdDS/50690.pdf\)](https://www.jameco.com/Jameco/Products/ProdDS/50690.pdf)

O circuito do contador pode ser simulado no 'falstad'. A Figura 8b mostra o circuito com o contador (a esquerda), no centro o decodificador - que transforma a contagem binária em contagem decimal num display de 7 segmentos a direita.

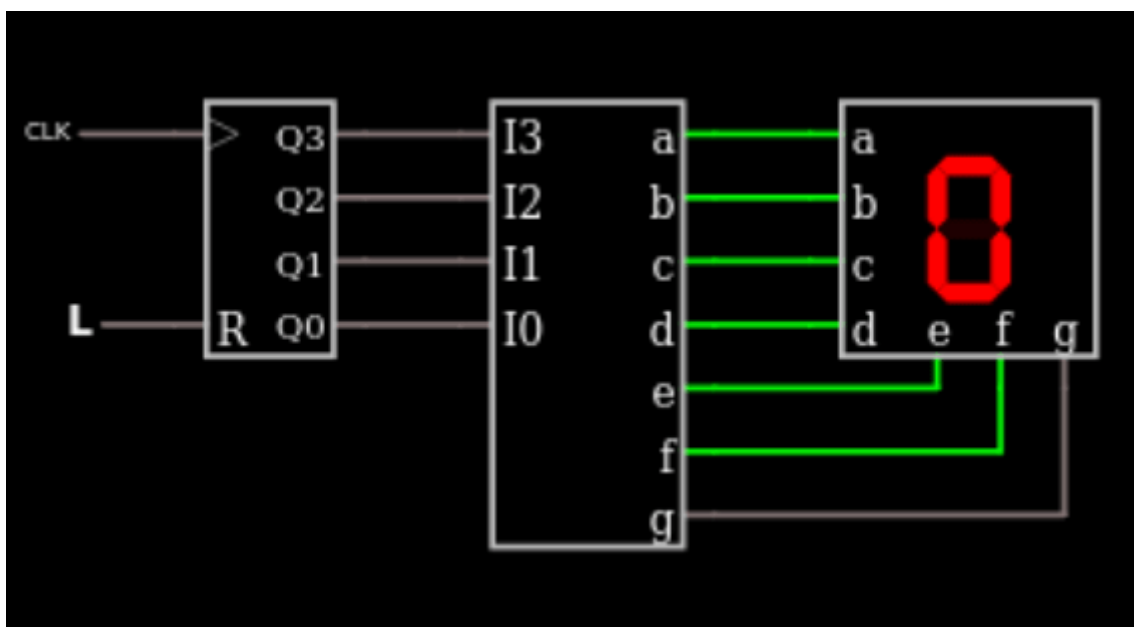


Figura 8b - Circuito contador 'falstad'.

Contadores Decrescentes

Os contadores que contam progressivamente a partir do zero são denominados contadores crescentes (ou ascendentes). Já os contadores que contam do valor máximo até zero são chamados decrescentes (ou

descendentes). A Figura 9 mostra a configuração para um contador decrescente construído com FF do tipo JK. A configuração é semelhante à do contador crescente, com a única diferença de cada FF é disparado pela saída Q no lugar de Q .

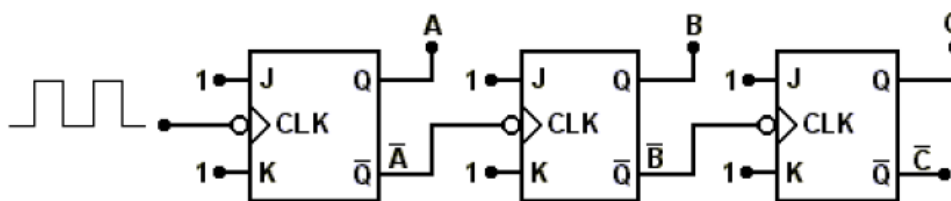


Figura 9 - Contador assíncrono decrescente.

A Figura 10 mostra o diagrama de tempo das saídas do contador, enquanto que a Tabela 3 mostra a contagem das transições do *clock* e os estados correspondentes ao contador. A Figura 11 mostra o diagrama de transição de estados do contador MOD-8 com (a) crescente e (b) decrescente.

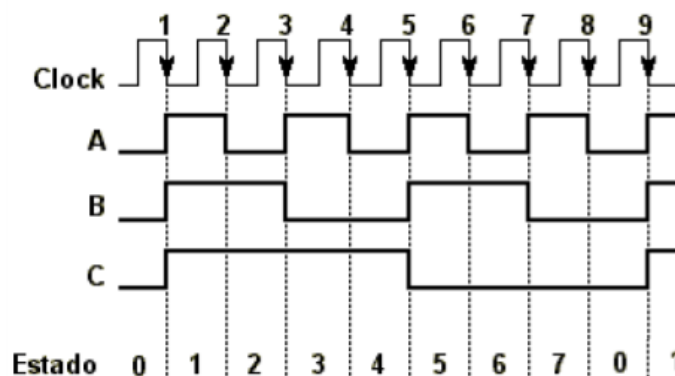


Figura 10 - Diagrama de tempo do contador assíncrono decrescente.

Tabela 3 - Contador assíncrono decrescente MOD-8 (3 btis)

Clock	C	B	A	Decimal	Estado
0	0	0	0	0	0
1	1	1	1	7	1
2	1	1	0	6	2
3	1	0	1	5	3
4	1	0	0	4	4
5	0	1	1	3	5
6	0	1	0	2	6
7	0	0	1	1	7
8	0	0	0	0	0
9	1	1	1	7	1
10	1	1	0	6	2

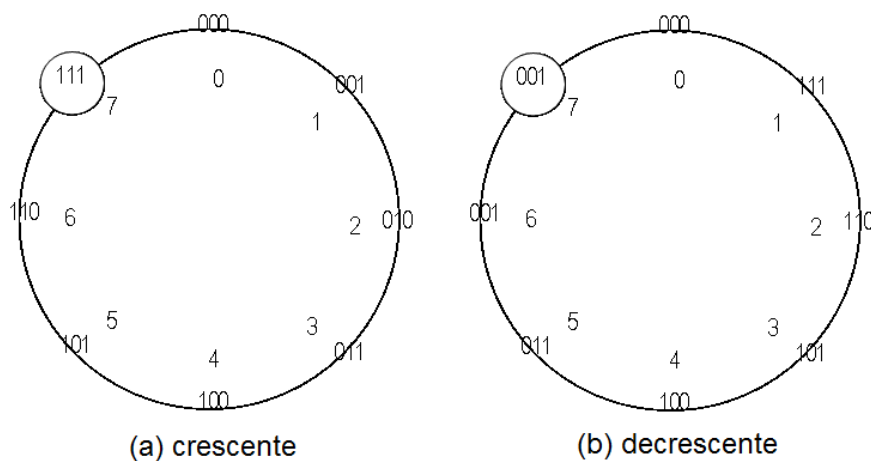


Figura 11 - Diagrama de transição de estados do contador MOD-8.

Atrasos de Propagação

Em um contador assíncrono cada FF é disparado pela saída de um FF anterior. Essa característica traz como desvantagem o acúmulo dos tempos de **atraso de propagação**. Isso pode ser visto na Figura 12. Ao passar por um FF, o sinal de *clock* sofre um atraso de propagação t_{pd} e esse efeito é somado até o último FF, gerando um atraso total de $N \cdot t_{pd}$, onde N é o número de FF.

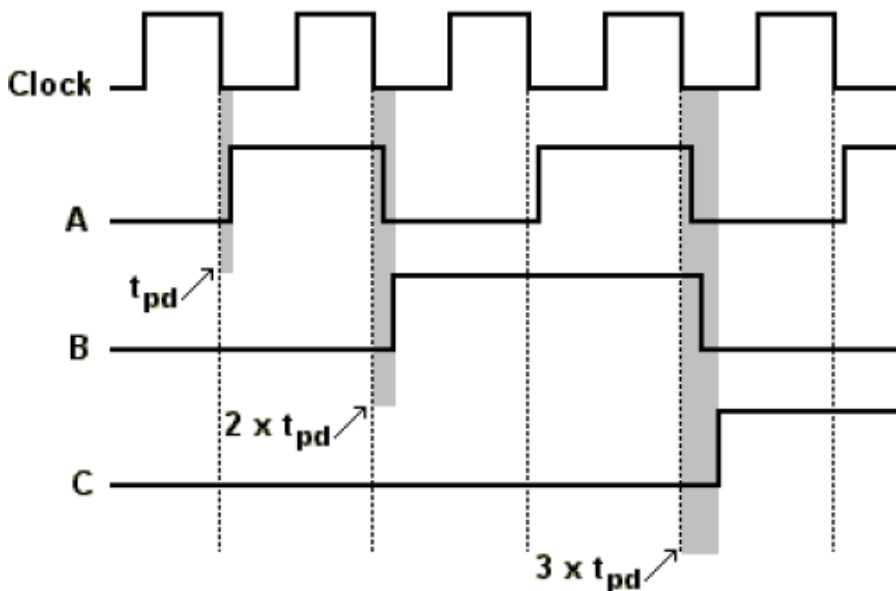


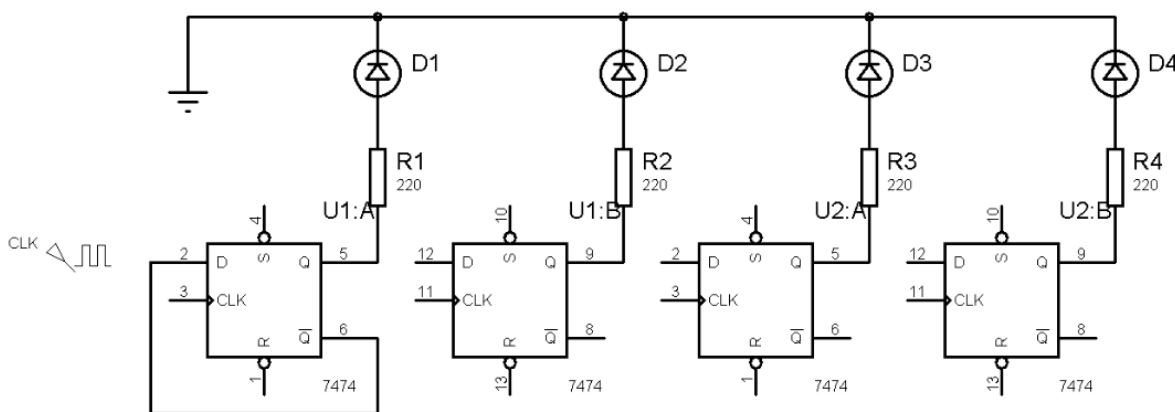
Figura 12 - Atrasos de propagação de um contador assíncrono.

Para que um contador assíncrono funcione de modo confiável é necessário que o atraso total de propagação seja menor que o período de *clock* usado: $T_{clk} \geq N \cdot t_{pd}$, ou ainda, em termos de frequência máxima, que

$$f_{max} = \frac{1}{N \cdot t_{pd}}$$

Exercício

[1] Complete o circuito abaixo para que funcione como contador **assíncrono** crescente.



Contador Assíncrono de 3 bits com FF tipo D - *falstad*

[Expandir]

[2] Utilizando o mesmo circuito, faça as modificações necessárias para que funcione como contador **assíncrono** decrescente.

Resposta

1. Como é a ligação de *clock* em todos os FFs de um contador assíncrono de 4 bits?

Desenhar.

2. Como é a contagem crescente e decrescente de contador com FF JK por borda descida?
3. Um contador de módulo 3600 (MOD-3600) conta de quanto até quanto? Quantos FF eu preciso pra chegar a contagem desejada?
4. O que é um contador de década? Desenhe um contador de década com FF JK e borda de subida e CLR ativo baixo (utilizar porta NAND).

Referências

[1] Apostila do CURSO DE ELETRÔNICA DIGITAL. CEFET/SC: São José, 2011.



Disponível em "https://wiki.sj.ifsc.edu.br/index.php?title=EDI018702_2023_2_AULA02&oldid=189707"

Esta página foi modificada pela última vez em 31 de julho de 2023, às 13h57min.

EDI018702 2023 2 AULA03

Índice

Laboratório 1 - Latch RS Controlado

Procedimento

Material Utilizado

Esquemáticos dos CIs

Relatório

Laboratório 1 - Latch RS Controlado

INTRODUÇÃO

O primeiro experimento da turma de Digital 2 do Técnico em Eletroeletrônica será realizado na LabMIC (sala 104) entre 18h30min e 20h20min. As equipes vão montar e testar o funcionamento de um Latch RS controlado feito a partir das portas lógicas AND (E) e NOR (NOU) e comprovar a tabela verdade.

OBJETIVO

Testar o funcionamento de um circuito Latch RS controlado, feito a partir das portas lógicas AND (E) e NOR (NOU) como mostra a Figura 1 abaixo.

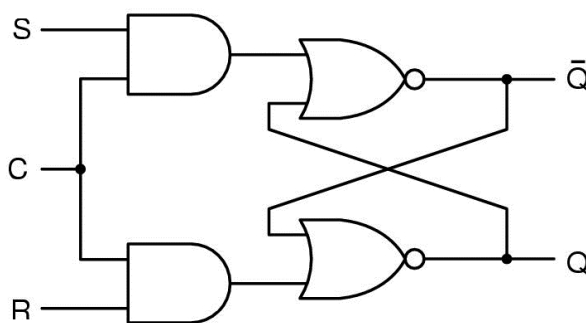


Figura 1 - Latch RS controlado.

Tabela Verdade

C	R	S	Q	Q\
0	X	X		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

Procedimento

1. Formar até 12 equipes com 2 alunos;
2. Desenhar as ligações utilizando o esquemático dos CIs;
3. Montar o circuito na banca digital, os CIs devem ficar com o chanfro voltado para cima;
 1. Fazer a ligação de VCC e GND;
 2. Fazer a ligação entre as portas lógicas dos circuitos integrados;
 3. Fazer a ligação de R, S e C com chaves seletoras;
 4. Fazer a ligação das Saídas Q e Q\ aos LEDs;
4. Completar a tabela verdade.

Material Utilizado

1. CI 7402 (NOR) (Figura 2)
2. CI 7408 (AND) (Figura 3)
3. fios diversos
4. bancada digital
5. alicates

Esquemáticos dos CIs

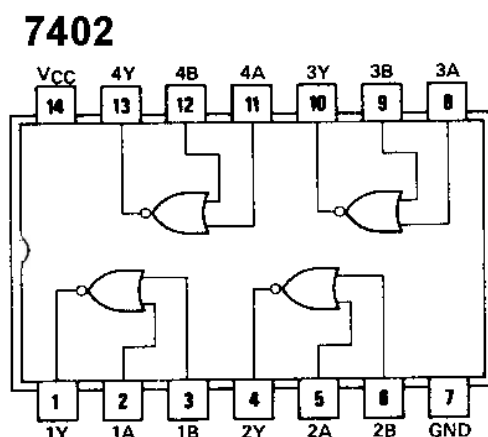


Figura 2 - Esquemático do CI 7402 - Portas NOR.

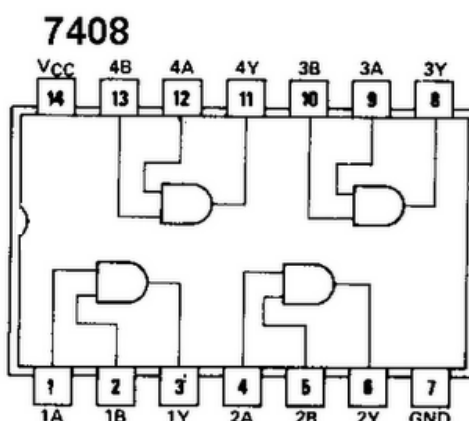


Figura 3 - Esquemático do CI 7408 - Portas AND.

Relatório

O relatório simplificado deverá ser preenchido e entregue no final do experimento. As equipes que não terminaram todo experimento, poderão fazer o relatório da parte que realizaram e explicar o que aconteceu.

Critérios avaliativos

Prática (montagem/equipe): 4

Circuito completo (todos): 3

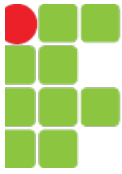
Resultados e discussões : 3

Resultado: 10



Disponível em "https://wiki.sj.ifsc.edu.br/index.php?title=EDI018702_2023_2_AULA03&oldid=189976"

Esta página foi modificada pela última vez em 7 de agosto de 2023, às 20h46min.



INSTITUTO FEDERAL
SANTA CATARINA

MINISTÉRIO DA EDUCAÇÃO
SECRETARIA DE EDUCAÇÃO PROFISSIONAL E TECNOLÓGICA
INSTITUTO FEDERAL DE EDUCAÇÃO, CIÊNCIA E TECNOLOGIA DE SANTA CATARINA
CAMPUS ITAJAÍ
COORDENADORIA DE ENGENHARIA ELÉTRICA

Relatório de Aula Prática – Laboratório



Professor: Douglas Alexandre Rodrigues de Souza

Data: ____/____/____.

Curso: Curso Técnico de Eletroeletrônica

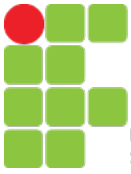
Unidade Curricular: Digital 2.

Título do experimento:

Equipe:

Objetivos:

Materiais utilizados:



INSTITUTO FEDERAL
SANTA CATARINA

MINISTÉRIO DA EDUCAÇÃO
SECRETARIA DE EDUCAÇÃO PROFISSIONAL E TECNOLÓGICA
INSTITUTO FEDERAL DE EDUCAÇÃO, CIÊNCIA E TECNOLOGIA DE SANTA CATARINA
CAMPUS ITAJAÍ
COORDENADORIA DE ENGENHARIA ELÉTRICA

Circuito completo do experimento:

Resultados e discussões: